

[Previous Doc](#)[Next Doc](#)
[First Hit](#)[Go to Doc#](#)☐ [Generate Collection](#)

L16: Entry 6 of 8

File: JPAB

Dec 24, 1999

PUB-NO: JP411354758A
DOCUMENT-IDENTIFIER: JP 411354758 A
TITLE: SEMICONDUCTOR MEMORY

PUBN-DATE: December 24, 1999

INVENTOR-INFORMATION:

NAME

COUNTRY

TAKAHASHI, MASATO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

APPL-NO: JP10158690

APPL-DATE: June 8, 1998

INT-CL (IPC): [H01 L 27/115](#); [H01 L 21/8247](#); [H01 L 29/788](#); [H01 L 29/792](#)

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a high speed flash memory having NOR type array structure at low cost while eliminating drain disturb.

SOLUTION: In a flash memory of NOR type array structure having a memory array of two layer gate structure type memory cells MC arranged in lattice as a basic component, control gates CG of a specified number of memory cells MC constituting a cell unit corresponding to a unit select MOSFETNS are coupled with a common word line W0, sources of these memory cells MC are coupled with individual source lines S6-S9, and sub-bit lines to be connected commonly with the drains of the specified number of memory cells MC of each cell unit are formed of a diffusion layer, i.e., the source of the unit select MOSFETNS of a corresponding cell unit and the source of the memory cell MC. Gate oxide film of the unit select MOSFETNS is formed integrally with an interlayer insulation film OX2 between the control gates CG and floating gates FG of corresponding specified number of memory cells MC and the source lines S6-S9 are formed of a metallization layer M1.

COPYRIGHT: (C)1999,JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354758

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/115

H 0 1 L 27/10

4 3 4

21/8247

29/78

3 7 1

29/788

29/792

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願平10-158690

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(22) 出願日 平成10年(1998) 6 月 8 日

(72) 発明者 高橋 正人

東京都小平市上水本町五丁目20番 1 号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 徳若 光政

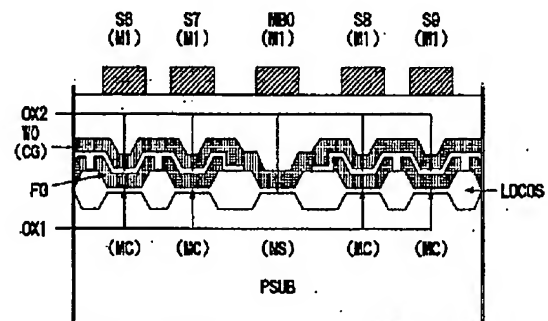
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 ドレインディスタブを排除しつつ、ノア型アレイ構造をとるフラッシュメモリ等の低コスト化及び高速化を図る。

【解決手段】 2層ゲート構造型メモリセルMCが格子配列されてなるメモリアレイを基本構成要素としノア型アレイ構造をとるフラッシュメモリ等において、ユニット選択MOSFETNSと対応するセルユニットを構成する所定数のメモリセルMCのコントロールゲートCGを共通のワード線WO等に結合し、これらのメモリセルMCのソースをそれぞれ個別のソース線S6～S9等に結合して、各セルユニットの所定数のメモリセルMCのドレインが共通結合されるサブビット線を、対応するセルユニットのユニット選択MOSFETNSのソースならびにメモリセルMCのソースたる拡散層により形成し、ユニット選択MOSFETNSのゲート酸化膜を、対応する所定数のメモリセルMCのコントロールゲートCG及びフローティングゲートFG間の層間絶縁膜OX2と一体化して形成するとともに、ソース線S6～S9等を金属配線層M1により形成する。

図 6 メモリアレイのA-B断面構造



【特許請求の範囲】

【請求項1】 所定数を単位としてセルユニットを構成し、そのドレインが各セルユニットを構成する上記所定数ごとに対応するサブビット線にそれぞれ共通結合される2層ゲート構造型のメモリセルと、

上記サブビット線と対応するメインビット線との間に設けられるユニット選択MOSFETとを具備し、かつ、上記サブビット線が、対応する上記セルユニットを構成する所定数のメモリセルのドレインならびにユニット選択MOSFETのソースとなる拡散層からなることを特徴とする半導体記憶装置。

【請求項2】 請求項1において、上記セルユニットを構成する所定数のメモリセルのゲートは、対応する上記ユニット選択MOSFETのゲートとともに対応するワード線に共通結合され、そのソースは、対応するソース線にそれぞれ結合されるものであって、上記サブビット線は、対応する上記ワード線に平行して配置され、上記メインビット線及びソース線は、対応する上記ワード線に直交して配置されるものであることを特徴とする半導体記憶装置。

【請求項3】 請求項2において、上記ユニット選択MOSFETのゲート及び基板間に設けられるゲート酸化膜は、対応する上記セルユニットを構成する所定数のメモリセルのコントロールゲート及びフローティングゲート間に設けられる層間絶縁膜と一体化して形成されるものであることを特徴とする半導体記憶装置。

【請求項4】 請求項2又は請求項3において、上記ソース線は、金属配線層からなるものであり、上記メモリセルのソースたる拡散層は、所定のコンタクトを介して対応するソース線に結合されるものであることを特徴とする半導体記憶装置。

【請求項5】 請求項1、請求項2、請求項3又は請求項4において、上記半導体記憶装置は、フラッシュメモリであり、上記メモリセルに対する書き込み動作は、ホットエレクトロンによるドレインからフローティングゲートへの電子注入を用いて行われ、その消去動作は、FNTトンネル現象によるフローティングゲートからソースへの電子放出を用いて行われるものであることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置に関し、例えば、2層ゲート構造型の不揮発性メモリセルを記憶素子とするノア型アレイ構造のフラッシュメモリならびにその低コスト化及び動作の高速化に利用して特に有効な技術に関する。

【0002】

【従来の技術】コントロールゲート及びフローティングゲートを有するいわゆる2層ゲート構造型の不揮発性メモリセルがあり、このようなメモリセルが格子配列されてなるメモリアレイをその基本構成要素とするフラッシュメモリがある。

【0003】

【発明が解決しようとする課題】フラッシュメモリは、例えば図9に示されるように、直交して配置されるワード線W0～W5等ならびにビット線B0～B5等と、これらのワード線及びビット線の交点に格子配列される2層ゲート構造型メモリセルMCを含むメモリアレイMARYをその基本構成要素とする。メモリアレイMARYの同一列に配置されるメモリセルMCのドレインは、対応するビット線B0～B5等に共通結合され、そのソースは、対応するソース線S0等に共通結合される。また、メモリアレイMARYの同一行に配置されるメモリセルMCのコントロールゲートは、対応するワード線W0～W5等に共通結合される。

【0004】書き込み動作時、メモリアレイMARYの指定されたメモリセルMCのコントロールゲートが結合されるワード線W0～W5等には、例えば10V（ボルト）程度の高電圧が印加され、指定されたメモリセルMCのドレインが結合されるビット線B0～B5等には、例えば3V程度の書き込み電圧が印加される。したがって、図9の構成をとるメモリアレイMARYでは、指定されたメモリセルMCと同一ビット線に結合される他の非選択メモリセルがドレインディスタープの影響を受け、そのしきい値電圧が本意に変化する。

【0005】これに対処するため、大容量のフラッシュメモリでは、図10に例示されるように、メモリアレイMARYの同一列に配置される例えば6個のメモリセルMCを単位としてセルユニットを構成し、各セルユニットを構成するメモリセルMCのドレインを対応するサブビット線SB00～SB01ないしSB50～SB50等に共通結合するいわゆるノア（NOR）型アレイ構造がとられる。このノア型アレイのメモリアレイMARYでは、サブビット線SB00～SB01ないしSB50～SB51等と対応するメインビット線MB0～MB5等との間に、そのゲートが対応するユニット選択ワード線USW0～USW1等に共通供給されるNチャンネル型のユニット選択MOSFET（金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）NSが設けられ、指定されたメモリセルMCが含まれるセルユニットのみに対応するメインビット線MB0～MB5等に接続する方法がとられる。これにより、指定されたメモリセルMCを含まない他のセルユニットのメモリセルMCに対するドレインディスタープは排除される。

【0006】ところで、ノア型アレイ構造をとるフラッシュメモリでは、図11に例示されるように、サブビッ

ト線SB00～SB01等が、例えばポリシリコンPolySi等により形成され、メモリセルMCのドレインとなるN型拡散層N⁺は、対応するコンタクトCONT1を介して対応するサブビット線SB00等に共通結合される。サブビット線SB00等は、その右端でコンタクトCONT2を介してユニット選択MOSFETNSのソースたるN型拡散層N⁺に結合され、このユニット選択MOSFETのドレインとなる他方のN型拡散層N⁺は、コンタクトCONT3を介して例えば金属配線層M1からなるメインビット線MB0等に結合される。また、ソース線S0等は、メモリセルMCのソースたる拡散層を共通化し延長することによって形成された後、所定のコンタクトを介して金属配線層からなる図示されないメインソース線にシャントとされる。

【0007】各メモリセルMCのチャネルつまり基板の上層には、所定の膜厚を有するトンネル絶縁膜OX1をはさんでフローティングゲートFGが形成され、その上層には、所定の膜厚を有する層間絶縁膜OX2をはさんでワード線W0～W5等となるコントロールゲートCGが形成される。さらに、ユニット選択MOSFETNSの基板の上層には、所定のゲート酸化膜OX3をはさんで、ユニット選択ワード線USW0等となるコントロールゲートCGが形成される。

【0008】ところが、上記ノア型アレイ構造をとるフラッシュメモリでは、ドレインディスタブの排除という点では大きな効果が得られるが、サブビット線SB00等がポリシリコンからなることで少なくとも3層のポリシリコン層が必要となり、金属配線層も合わせてフラッシュメモリの所要プロセス工程数が増える。また、2層ゲート構造型のメモリセルMCと単一ゲート構造のユニット選択MOSFETNSとのレイアウト境界に、基板削れを防止するためのダミーセルDCが必要となり、これによってフラッシュメモリのチップサイズが増大する。さらに、比較的多数のメモリセルMCのソースが共通結合されるソース線S0等が、メモリセルMCのソースを延長した拡散層とシャント用の金属配線層からなることで、ソース線の寄生抵抗が比較的大きくなり、相応してその伝達遅延時間が大きくなる。これらの結果、ドレインディスタブの排除と引き換えに、フラッシュメモリの低コスト化が阻害され、その高速動作が阻害される。

【0009】この発明の目的は、ドレインディスタブを排除しつつ、ノア型アレイ構造をとるフラッシュメモリ等の低コスト化及び高速化を図ることにある。

【0010】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次

の通りである。すなわち、2層ゲート構造型メモリセルが格子配列されてなるメモリアレイを基本構成要素としノア型アレイ構造をとるフラッシュメモリ等において、ユニット選択MOSFETと対応するセルユニットを構成する所定数のメモリセルのコントロールゲートを共通のワード線に結合し、各メモリセルのソースをそれぞれ個別のソース線に結合して、サブビット線を、対応するセルユニットのユニット選択MOSFETのソースならびにメモリセルのソースたる拡散層により形成し、ユニット選択MOSFETのゲート酸化膜を、対応する所定数のメモリセルのコントロールゲート及びフローティングゲート間の層間絶縁膜と一体化して形成するとともに、ソース線を金属配線層により形成する。

【0012】上記した手段によれば、比較的小数のメモリセルのドレインが結合されるサブビット線を拡散層により形成することで、その寄生抵抗による影響を受けることなくポリシリコン層の所要層数を2層とし、フラッシュメモリ等の所要プロセス工程数を削減できるとともに、メモリセルとユニット選択MOSFETのレイアウト境界からダミーセルをなくし、フラッシュメモリ等のチップサイズを縮小できる。また、ソース線を金属配線層により形成することで、比較的多数のメモリセルのソースが共通結合されるソース線の寄生抵抗を小さくし、その伝達遅延時間を小さくすることができ、この結果、非選択メモリセルに対するドレインディスタブの影響を排除しつつ、ノア型アレイ構造をとるフラッシュメモリ等の低コスト化を図り、その動作の高速化を図ることができる。

【0013】

【発明の実施の形態】図1には、この発明が適用されたフラッシュメモリ（半導体記憶装置）の一実施例のブロック図が示されている。同図をもとに、まずこの実施例のフラッシュメモリの構成及び動作の概要について説明する。なお、図1の各ブロックを構成する回路素子は、公知のMOSFET集積回路の製造技術により、単結晶シリコンのような1個の半導体基板面上に形成される。

【0014】図1において、この実施例のフラッシュメモリは、半導体基板面の大半を占めて配置されるメモリアレイMARYをその基本構成要素とする。メモリアレイMARYは、後述するように、図の水平方向に平行して配置される所定数の図示されないワード線と、図の水平方向に平行して配置される所定数の図示されないメインビット線と、これらのワード線及びメインビット線の交点に格子配列される多数の図示されない2層ゲート構造型メモリセルとを含む。

【0015】この実施例において、フラッシュメモリはノア型アレイ構造をとり、メモリアレイMARYを構成するメモリセルは、同一行に配置される所定数つまり例えば16個を単位としてセルユニットを構成する。これらのセルユニットを構成するそれぞれ16個のメモリセ

10

20

30

40

50

5. のドレインは、図1の水平方向に配置されるサブビット線に共通結合された後、図示されないユニット選択MOSFETを介して対応するメインビット線に結合される。また、各セルユニットを構成する16個のメモリセルのゲートは、対応するユニット選択MOSFETのゲートとともに、対応するワード線に共通結合され、そのソースは、図1の垂直方向に配置されるソース線にそれぞれ共通結合される。このように、本実施例のフラッシュメモリでは、各セルユニットが同一行のメモリセルによって構成され、ユニット選択MOSFETのゲートが結合されるユニット選択ワード線は、メモリセルのゲートが結合されるワード線と共通化される。なお、メモリアレイMARYの具体的構成及びセルユニット構造等については、後で詳細に説明する。

【0016】メモリアレイMARYを構成するワード線は、その左方においてXアドレスデコーダXDに結合される。また、ソース線は、その上方においてソース電圧制御回路SVCに結合され、メインビット線は、その下方においてセンスアンプSAに結合された後、Yスイッチ回路YSを介して $k+1$ ビットずつ選択的に入出力データバスDB0~DB k つまりデータ入出力回路IOに接続される。

【0017】XアドレスデコーダXDには、XアドレスバッファXBから $i+1$ ビットの内部Xアドレス信号X0~Xiが供給されるとともに、タイミング発生回路TGから図示されない各種内部制御信号が供給され、内部電圧発生回路VGから各種内部電圧が供給される。また、ソース基板電圧切換回路SVCには、YアドレスバッファYBから $j+1$ ビットの内部Yアドレス信号Y0~Yjが供給されるとともに、タイミング発生回路TGから各種内部制御信号が供給され、内部電圧発生回路VGから各種内部電圧が供給される。さらに、Yスイッチ回路YSには、YアドレスデコーダYDから所定ビットのビット線選択信号が供給され、YアドレスデコーダYDには、YアドレスバッファYBから $j+1$ ビットの内部Yアドレス信号Y0~Yjが供給される。XアドレスバッファXBには、外部のアクセス装置からXアドレス入力端子AX0~AXiを介してXアドレス信号AX0~AXiが供給され、YアドレスバッファYBには、Yアドレス入力端子AY0~AYjを介してYアドレス信号AY0~AYjが供給される。

【0018】XアドレスバッファXBは、Xアドレス入力端子AX0~AXiを介して供給されるXアドレス信号AX0~AXiを取り込み、保持するとともに、これらのXアドレス信号をもとに内部Xアドレス信号X0~Xiを形成し、XアドレスデコーダXDに供給する。また、XアドレスデコーダXDは、XアドレスバッファXBから供給される内部Xアドレス信号X0~Xiをデコードして、メモリアレイMARYのワード線を選択的に所定の選択又は非選択レベルとする。

【0019】一方、YアドレスバッファYBは、Yアドレス入力端子AY0~AYjを介して供給されるYアドレス信号AY0~AYjを取り込み、保持するとともに、これらのYアドレス信号をもとに内部Yアドレス信号Y0~Yjを形成し、ソース電圧制御回路SVC及びYアドレスデコーダYDに供給する。また、ソース電圧制御回路SVCは、YアドレスバッファYBから供給される内部Yアドレス信号Y0~Yjをデコードして、メモリアレイMARYのソース線を選択的に所定の選択又は非選択レベルとし、YアドレスデコーダYDは、やはり内部Yアドレス信号Y0~Yjをデコードして、Yスイッチ回路YSに対するビット線選択信号を択一的に所定の選択レベルとする。さらに、Yスイッチ回路YSは、YアドレスデコーダYDから供給されるビット線選択信号の択一的なハイレベルを受けてセンスアンプSAの対応する $k+1$ 個の単位回路と入出力データバスDB0~DB k つまりデータ入出力回路IOとの間を選択的に接続する。

【0020】この実施例において、センスアンプSAは、メモリアレイMARYのメインビット線に対応して設けられる所定数の単位回路を備え、これらの単位回路のそれぞれは、メモリアレイMARYの指定されたメモリセルから対応するメインビット線を介して出力される読み出し信号を増幅し、その論理レベルを判定するリードアンプと、データ入出力回路IOから供給される書き込みデータをもとに所定の書き込み信号を生成するライトアンプと、これらのリードアンプ又はライトアンプと入出力データバスとの間で授受される読み出しデータ又は書き込みデータを保持するデータレジスタとを含む。なお、ワード線及びソース線の選択・非選択レベルや、読み出し又は書き込み動作時におけるメインビット線の読み出し電圧及び書き込み信号レベル等については、後で詳細に説明する。

【0021】タイミング発生回路TGは、外部のアクセス装置から起動制御信号として供給されるチップイネーブル信号CEB（ここで、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等については、その名称の末尾にBを付して表す。以下同様）、ライトイネーブル信号WEBならびに出カイネーブル信号OEBをもとに、各種内部制御信号を選択的に形成し、フラッシュメモリの各部に供給する。また、内部電圧発生回路VGは、外部の電源装置から外部端子VCC及びVSSを介して供給される電源電圧VCC及び接地電位VSSをもとに各種内部電圧を生成し、フラッシュメモリの各部に供給する。なお、電源電圧VCCは、特に制限されないが、3.3Vのような正電位とされる。また、内部電圧発生回路VGにより生成される内部電圧には、書き込み、消去あるいは読み出し動作に必要な例えば10V、3Vあるいは1Vといった各種電位の内部電圧が含まれるが、これらの内部電圧の用途については後

で説明する。

【0022】図2には、図1のフラッシュメモリに含まれるメモリアレイMARYの一実施例の部分的な回路図が示されている。また、図3には、図2のメモリアレイMARYを構成する2層ゲート構造型メモリセルMCの一実施例の基本断面構造図が示され、図4には、メモリセルMCのしきい値電圧の一実施例の分布特性図が示されている。さらに、図5には、図2のメモリアレイMARYの一実施例の部分的な平面配置図が示され、図6及び図7には、その一実施例のA-B断面構造図及びC-D断面構造図がそれぞれ示されている。これらの図をもとに、この実施例のフラッシュメモリに含まれるメモリアレイMARYの具体的構成ならびに2層ゲート構造型メモリセルMCの構造及び特性について説明する。

【0023】なお、以下の回路図に示されるMOSFETは、すべてNチャンネルMOSFETである。また、メモリアレイMARY等の配置及び断面構造に関する以下の記述では、図3、図5、図6ならびに図7の位置関係をもって上下左右を表現する。さらに、図2には、ワード線W0～W7とWm-1～Wm、メインビット線MB0、サブビット線SB01～SB07とSB0mならびにソース線S0～S15に関する部分が例示的に示され、図5には、ワード線W0～W3、メインビット線MB0、サブビット線SB01及びSB03ならびにソース線S6～S9に関する部分が例示的に示され、図6には、ワード線W0、メインビット線MB0ならびにソース線S6～S9に関する部分が例示的に示され、図7には、ワード線W0～W3及びソース線S6に関する部分が例示的に示される。その他の部分については、これらに関する以下の記述から類推されたい。

【0024】図2において、この実施例のフラッシュメモリに含まれるメモリアレイMARYは、図の水平方向に平行して配置されるm+1本のワード線W0～Wmと、垂直方向に平行して配置されるn+1本のソース線S0～Snならびにp+1本のメインビット線MB0～MBpを含む。これらのワード線及びソース線の交点には、フローティングゲート及びコントロールゲートを有する合計(m+1)×(n+1)個の2層ゲート構造型メモリセルMCが格子配列される。

【0025】この実施例において、フラッシュメモリはノア型アレイ構造をとり、メモリアレイMARYを構成するメモリセルMCは、特に制限されないが、同一行に配置される16個を単位として、つまりメインビット線MB0～MBpに対応してグループ分割され、合計(m+1)×(n+1)/16個つまり(m+1)×(p+1)個のセルユニットを構成する。これらのセルユニットを構成するそれぞれ16個のメモリセルMCのドレインは、ワード線W0～Wmと平行して配置される(p+1)×(m+1)/2本のサブビット線SB01～SB0mないしSBp1～SBpm(ここで、サブビット線

の追番の末尾は奇数番号とされるが、簡略化のためSB01～SB0mないしSBp1～SBpmとして表す。以下同様)に共通結合された後、対応するユニット選択MOSFETNSを介して対応するメインビット線MB0～MBpに結合される。また、各セルユニットを構成する16個のメモリセルMCのゲートは、対応するユニット選択MOSFETNSのゲートとともに対応するワード線W0～Wmにそれぞれ共通結合され、そのソースは、対応するソース線S0～Snにそれぞれ共通結合される。

【0026】なお、メモリアレイMARYを構成するメインビット線MB0～MBpの本数p+1が、上記のように、ソース線の本数n+1に対して、
$$p+1 = (n+1)/16$$

なる関係にあることは言うまでもない。また、図2から明らかなように、サブビット線SB01～SB0mないしSBp1～SBpmには、上下の2個のセルユニットを構成する合計36個のドレインが共通結合され、これらのセルユニットとの間の接続切り換えは、対応する2本のワード線W0又はW1ないしWm-1又はWm等を択一的に選択レベルとすることによって実現される。

【0027】メモリアレイMARYのワード線W0～Wmは、その左方においてXアドレスデコーダXDに結合される。また、メモリアレイMARYのソース線S0～Snは、その上方においてソース電圧制御回路SVCに結合され、メインビット線MB0～MBpは、その下方においてセンスアンプSAに結合される。

【0028】ここで、メモリアレイMARYを構成する2層ゲート構造型メモリセルMCのそれぞれは、図3に示されるように、P型半導体基板PSUB内に形成される一対のN型拡散層N⁺をそのソース及びドレイン領域とする。これらのN型拡散層N⁺の間、つまり各メモリセルMCのチャネルとなる基板の上層には、所定の膜厚を有するトンネル絶縁膜OX1が例えばシリコン酸化膜によって形成され、その上層には、例えばN型不純物の存在するポリ(多結晶)シリコンによってフローティングゲートFGが形成される。また、このフローティングゲートFGの上層には、所定の膜厚を有する層間絶縁膜OX2が例えばシリコン酸化膜によって形成され、さらにその上層には、例えばN型不純物の存在するポリシリコンによってコントロールゲートCGが形成される。

【0029】この実施例において、メモリセルMCのドレインとなる一方のN型拡散層N⁺のフローティングゲートFGに近い浅い部分には、例えばほう素又は砒素等の存在する不純物層が設けられ、これによってドレインからのホットエレクトロンの発生をしやすくして、メモリセルMCの書き込み特性を高めることができる。また、メモリセルMCのソースとなる他方のN型拡散層N⁺には、例えばリン又は砒素等の存在する不純物層が設けられ、これによってFN(Fowler Nordh

eim:ファウラー・ノルトハイム)トンネル現象を発生しやすくして、メモリセルMCの消去特性を改善することができる。

【0030】後述するように、メモリアレイMARYを構成する2層ゲート構造型メモリセルMCのフローティングゲートFGには、例えばそのコントロールゲートCGとなるワード線に10Vのような高電圧が印加され、そのドレインとなるサブビット線に3Vのような書き込み電圧が印加され、そのソースとなるソース線に接地電位VSSつまり0Vが印加されるとき、そのドレイン近傍で発生したホットエレクトロンが注入・蓄積される。この結果、メモリセルMCのしきい値電圧は、図4に例示されるように、例えば5Vを下限とする比較的大きな値となり、例えばいわゆる論理“1”のデータを保持するものとなる。

【0031】一方、2層ゲート構造型メモリセルMCのフローティングゲートFGに蓄積された電子は、例えばそのコントロールゲートCGとなるワード線が接地電位VSSつまり0Vのような非選択レベルとされ、そのドレインとなるサブビット線が開放状態OPENとされ、そのソースとなるソース線が10Vのような選択レベルとされるとき、FNトンネル現象によってそのソース側に放出される。この結果、メモリセルMCのしきい値電圧は、例えば2.4Vを上限とする比較的小きな値となり、いわゆる論理“0”のデータを保持するものとなる。

【0032】これらのことから、対象となるメモリセルMCのゲートつまりワード線に例えば電源電圧VCCつまり3.3Vの読み出し電圧を印加し、このメモリセルMCがオフ状態のままであるか又はオン状態となるかを識別することにより、その保持データが論理“1”又は“0”のいずれであるかを判定できる。

【0033】この実施例において、メモリアレイMARYを構成するメモリセルMCは、前述のように、同一行に配置される16個を単位としてセルユニットを構成し、メモリアレイMARYには、各セルユニットに対応してそれぞれ1個のユニット選択MOSFETNSが設けられる。また、各セルユニットを構成する16個のメモリセルMCは、図5に示されるように、例えばサブビット線SB01又はSB03となるN型拡散層N⁺をそのドレイン領域として共有し、ユニット選択MOSFETNSも、このN型拡散層をソース領域として共有する。先にも述べた通り、サブビット線SB01又はSB03となるN型拡散層N⁺は、その上下に設けられた2個のセルユニットの合計32個のメモリセルMCのドレインならびに2個のユニット選択MOSFETNSのソースとして共有される。

【0034】つまり、この実施例のフラッシュメモリでは、メモリアレイMARYの各セルユニットを構成するメモリセルMCのドレインたるサブビット線SB01～

SB0mないしSBp1～SBpmがN型拡散層N⁺により形成される訳であるが、このN型拡散層N⁺をその延長方向において共有するメモリセルMCの数はたかだか16個であるため、その寄生抵抗によってフラッシュメモリのアクセスタイムが受ける影響は無視できる程度に小さい。逆に言うならば、サブビット線SB01～SB0mないしSBp1～SBpmがN型拡散層N⁺により形成されることで、ポリシリコン数の所要層数は、前記図10及び図11の場合に比較して1層少なくなつて2層となり、これによってフラッシュメモリの所要プロセス工程数を削減し、その低コスト化を図ることができるものとなる。

【0035】メモリアレイMARYのサブビット線SB01又はSB03等となるN型拡散層N⁺の上下には、それぞれ所定の距離において、各メモリセルMCのソースSとなるN型拡散層N⁺が独立した形で形成される。これらのN型拡散層N⁺は、その上下に配置された2個のメモリセルMCによって共有される。

【0036】メモリアレイMARYのサブビット線SB01又はSB03等となるN型拡散層N⁺とメモリセルMCのソースとなるN型拡散層N⁺との間、つまり各メモリセルMCの基板の上層には、図6に例示されるように、所定の膜厚を有するトンネル絶縁膜OX1が形成され、その上層には、フローティングゲートFGとなる第1層のポリシリコン層が独立した形で形成される。また、これらのフローティングゲートFGの上層には、所定の膜厚を有する層間絶縁膜OX2が形成され、その上層には、各メモリセルMCのコントロールゲートCGとなる第2層のポリシリコン層が水平方向に延長される形で形成される。

【0037】この実施例において、各セルユニットを構成する16個のメモリセルMCのコントロールゲートCGとなる第2層のポリシリコン層は、前述のように、ワード線W0～Wmとなつて図示されない第2層の金属配線層M2からなるメインワード線にシャントされるとともに、対応するユニット選択MOSFETNSのコントロールゲートCGともなる。また、各メモリセルMCのフローティングゲートFG及びコントロールゲートCG間に設けられる層間絶縁膜OX2は、アドレス選択MOSFETNSのゲート酸化膜として一体化され、同一のプロセス工程で同時形成される。この結果、フラッシュメモリの所要プロセス工程数をさらに削減することができるとともに、基板削れを防止するためのダミーセルを設ける必要がなくなり、これによってフラッシュメモリのチップサイズを縮小し、そのさらなる低コスト化を図ることができるものとなる。

【0038】なお、図6から類推できるように、ユニット選択MOSFETNSとこれに隣接するメモリセルMCとの間に設けられるロコスLOCOSは、やや長い距離とやや大きな厚みをもって形成され、これによってユ

ニット選択MOSFETNSとメモリセルMCの境界部における基板削れをさらに抑制できる。

【0039】一方、メモリアレイMARYのメインビット線MB0～MBpは、図5のメインビット線MB0に代表されるように、垂直方向に延長される第1層の金属配線層M1からなり、このメインビット線MB0等には、対応するコンタクトを介して、同一列に配置されるm+1個のセルユニットのユニット選択MOSFETNSのドレインが共通結合される。同様に、メモリアレイMARYのソース線S0～Snのそれぞれは、図5のソ

ース線S6～S9に代表されるように、垂直方向に平行して延長される第1層の金属配線層M1からなり、これらのソース線S6～S9等には、図7のソース線S6に代表されるように、対応するコンタクトCONTを介して、同一列に配置されるm+1個のメモリセルMCのソースがそれぞれ共通結合される。このように、比較的多数のメモリセルMCのソースが共通結合されるソース線S0～Snを、抵抗値が十分に小さな金属配線層M1により形成することで、ソース線S0～Snの伝達遅延時間を小さくし、フラッシュメモリのアクセスタイムの高速化を図ることができるものとなる。

【0040】図8には、図1のフラッシュメモリの書き込み、消去ならびに読み出し動作時における一実施例の動作条件図が示されている。同図をもとに、この実施例のフラッシュメモリの動作について詳細に説明する。なお、フラッシュメモリの動作に関する以下の説明に際し、前記図2～図7を適宜参照されたい。

【0041】図8において、フラッシュメモリが書き込みモードとされるとき、メモリアレイMARYでは、ワード線W0～Wmのうち指定された1本が、XアドレスデコーダXDによって択一的に10Vのような選択レベルとされ、その他のワード線はすべて接地電位VSSつまり0Vのような非選択レベルとされる。また、メインビット線MB0～MBpのうち指定されたk+1本には、センスアンプSAの対応するk+1個のライトアンプから3Vのような論理“1”あるいは0Vのような論理“0”の書き込み電圧が選択的に印加され、その他のメインビット線はすべて開放状態OPENとされる。さらに、ソース線S0～Snの上記k+1本のメインビット線に対応する合計 $16 \times (k+1)$ 本のうち、各セル

ユニットに対応する16本のうちの1本、つまり合計k+1本には、ソース電圧制御回路SVCからそれぞれ択一的に接地電位VSSが印加され、上記k+1本のメインビット線に対応しないものを含むその他のソース線はすべて開放状態OPENとされる。メモリセルMCの基板部となるP型半導体基板には、いずれの動作モードにおいても接地電位VSSつまり0Vの基板電圧が印加される。

【0042】これにより、メモリアレイMARYでは、選択ワード線に結合される同一行のp+1個のセルユ

ニットのユニット選択MOSFETNSがオン状態となり、対応する $16 \times (p+1)$ 個のメモリセルMCのドレインには、サブビット線SB01～SB0mないしSBp1～SBpmのうちの対応するp+1本を介して対応するメインビット線MB0～MBpの電位が伝達される。また、これらのメモリセルMCのコントロールゲートCGには、すべて対応するワード線を選択レベルつまり10Vが印加されるが、そのソースつまりソース線S0～Snが選択的に接地電位VSS又は開放状態OPENとされることで、ホットエレクトロンによるフローティングゲートFGへの電子の注入が選択的に行われる。

【0043】すなわち、選択セルユニット、つまり選択ワード線に結合され対応するメインビット線に3V又は0Vの書き込み電圧が印加されるk+1個のセルユニットに含まれ、対応するソース線に接地電位VSSが印加されるそれぞれ1個、合計k+1個の選択メモリセルMCでは、そのドレインに印加される書き込み電圧が3Vつまり論理“1”であることを条件にドレイン近傍からホットエレクトロンが発生し、フローティングゲートFGに対する電子の注入が行われる。この結果、これらのメモリセルMCのしきい値電圧は、5Vを下限とする比較的大きな値に変化し、これによって論理“1”のデータを保持するものとなる。

【0044】一方、k+1個の選択メモリセルMCのうち、そのドレインに0Vつまり論理“0”の書き込み電圧が印加されるメモリセルMCでは、ドレインが0Vであることによってドレイン近傍におけるホットエレクトロンの発生はなく、そのしきい値電圧も消去状態、つまり例えば2.4Vを上限とする比較的小きな値のまま変化されない。また、選択セルユニットに含まれ対応するソース線が開放状態OPENとされる他の $15 \times (k+1)$ 個の非選択メモリセルMCでは、対応するソース線が開放状態OPENとされるため、そのドレインに3Vの書き込み電圧が印加されたとしてもホットエレクトロンは発生せず、そのしきい値電圧も変化されない。さらに、選択ワード線に結合される非選択セルユニットでは、対応するメインビット線が開放状態OPENとされることで書き込み動作が行われず、非選択ワード線に結合される他のすべてのセルユニットでは、そのユニット選択MOSFETNSがオフ状態とされ対応するサブビット線が開放状態OPENとされることで同様に書き込み動作が行われない。

【0045】次に、フラッシュメモリが消去モードとされるとき、メモリアレイMARYでは、ソース線S0～Snのうちの所定数が、ソース電圧制御回路SVCによって10Vのような選択レベルとされ、その他のソース線はすべて接地電位VSSつまり0Vのような非選択レベルとされる。このとき、ワード線W0～Wmはすべて接地電位VSSのような非選択レベルとされ、メインビット線MB0～MBpはすべて開放状態OPENとされ

10

20

30

40

50

る。メモリセルMCの基板部となるP型半導体基板には、前述のように、接地電位VSSつまり0Vが印加される。

【0046】これにより、メモリアレイMARYでは、すべてのセルユニットのユニット選択MOSFETNSがワード線W0～Wmの非選択レベルを受けてオフ状態となり、サブビット線SB01～SB0mないしSBp1～SBpmつまり各メモリセルMCのドレインも開放状態OPENとされる。このため、各選択ソース線に結合されるm+1個のメモリセルMCでは、そのフローティングゲートFG及びソース間でFNTトンネル現象が生じ、フローティングゲートFGの電子がソースに放出される。この結果、選択ソース線に結合されるすべてのメモリセルMCのしきい値電圧が、消去状態に対応する2.4Vを上限とする比較的小さな値とされ、これによって論理“0”のデータを保持するものとされる。

【0047】一方、フラッシュメモリが読み出しモードとされるとき、メモリアレイMARYでは、ワード線W0～Wmのうち指定された1本が、XアドレスデコーダXDによって択一的に電源電圧VCCつまり3.3Vのような選択レベルとされ、その他のワード線はすべて接地電位VSSつまり0Vのような非選択レベルとされる。また、メインビット線MB0～MBpのうち指定されたk+1本には、センスアンプSAの対応するk+1個のリードアンプから1Vのような読み出し電圧が印加され、その他のメインビット線はすべて開放状態OPENとされる。さらに、ソース線S0～Snの上記k+1本のメインビット線に対応する合計16×(k+1)本のうち、各セルユニットに対応する16本のうちの1本、つまり合計k+1本に、ソース電圧制御回路SVCからそれぞれ択一的に接地電位VSSが印加され、その他のソース線はすべて開放状態OPENとされる。

【0048】これにより、メモリアレイMARYでは、選択ワード線に結合される同一行のp+1個のセルユニットのユニット選択MOSFETNSがオン状態となり、対応する16×(p+1)個のメモリセルMCのドレインには、サブビット線SB01～SB0mないしSBp1～SBpmのうちの対応するp+1本を介して対応するメインビット線MB0～MBpの電位つまり1Vの読み出し電圧が伝達される。また、これらのメモリセルMCのコントロールゲートCGには、すべて対応するワード線の選択レベルつまり3.3Vが印加されるが、そのソースつまりソース線S0～Snが選択的に接地電位VSS又は開放状態OPENとされることで、保持データに対応した読み出し電流を選択的に流す。

【0049】すなわち、選択セルユニット、つまり選択ワード線に結合され対応するメインビット線に1Vの読み出し電圧が印加されるk+1個のセルユニットに含まれ、対応するソース線に接地電位VSSが印加されるそれぞれ1個、合計k+1個の選択メモリセルMCは、そ

れが論理“0”のデータを保持することを条件に、つまりそのしきい値電圧が2.4Vを上限とする比較的小さな値とされることを条件に選択的にオン状態となり、比較的大きな読み出し電流を流す。この読み出し電流は、対応するサブビット線及びメインビット線を介してセンスアンプSAの対応するリードアンプに伝達され、これを受けてリードアンプは対応する選択メモリセルMCの保持データが論理“1”であることを判定する。

【0050】一方、k+1個の選択メモリセルMCのうち、論理“1”のデータを保持するメモリセルMCは、そのしきい値電圧が5Vを下限とする比較的大きな値とされることでオフ状態のままとされ、読み出し電流は流されない。また、選択セルユニットに含まれ対応するソース線が開放状態OPENとされる他の15×(k+1)個の非選択メモリセルMCでは、対応するソース線が開放状態OPENとされるため、それが論理“0”のデータを保持していたとしても読み出し電流は流されない。さらに、選択ワード線に結合される非選択セルユニットでは、対応するメインビット線が開放状態OPENとされることで読み出し電流は流されず、非選択ワード線に結合される他のすべてのセルユニットでは、そのユニット選択MOSFETNSがオフ状態とされ対応するサブビット線が開放状態OPENとされることで同様に読み出し電流は流されない。

【0051】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 2層ゲート構造型メモリセルが格子配列されてなるメモリアレイを基本構成要素としノア型アレイ構造をとるフラッシュメモリ等において、ユニット選択MOSFETと対応するセルユニットを構成する所定数のメモリセルのコントロールゲートを共通のワード線に結合し、各メモリセルのソースをそれぞれ個別のソース線に結合して、サブビット線を、対応するセルユニットのユニット選択MOSFETのソースならびにメモリセルのソースたる拡散層により形成することで、ポリシリコン層の所要層数を2層とし、フラッシュメモリ等の所要プロセス工程数を削減することができるという効果が得られる。

【0052】(2) 上記(1)項において、ユニット選択MOSFETのゲート酸化膜を、対応する所定数のメモリセルのコントロールゲート及びフローティングゲート間の層間絶縁膜と一体化して同一工程で形成することで、フラッシュメモリ等の所要プロセス工程数をさらに削減しつつ、メモリセルとユニット選択MOSFETのレイアウト境界からダミーセルをなくし、フラッシュメモリ等のチップサイズを縮小化することができるという効果が得られる。

(3) 上記(1)項及び(2)項において、ソース線を金属配線層により形成することで、比較的多数のメモリセルのソースが共通結合されるソース線の寄生抵抗を小

さくし、その伝達遅延時間を短縮できるという効果が得られる。

(4) 上記(1)項ないし(3)項により、フラッシュメモリ等の低コスト化を図り、その動作の高速化を図ることができるという効果が得られる。

【0053】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、メモリアレイMARYは、その直接周辺回路を含めて複数のメモリマットに分割することができるし、フラッシュメモリのブロック構成や起動制御信号の組み合わせならびに電源電圧の極性及び絶対値等も、種々の実施形態をとりうる。

【0054】図2において、セルユニットを構成するメモリセルMCの数は任意に設定できるし、セルユニット内におけるユニット選択MOSFETNSの配置位置も任意である。また、メモリアレイMARYは、所定数の冗長素子を含むことができるし、前述のように、その直接周辺回路を含めて複数のメモリマットに分割することができる。ユニット選択MOSFETNSのゲート酸化膜をメモリセルMCの層間絶縁膜と一体化して形成する必要がない場合、同一列に配置されるメモリセルMCをもってセルユニットを構成してもよい。

【0055】図3に示される2層ゲート構造型メモリセルMCの基本断面構造は、この実施例による制約を受けないし、図4に示されるしきい値電圧の分布特性についても同様である。図5ないし図7において、フラッシュメモリは、任意数のポリシリコン層及び金属配線層を備えることができるし、各配線層、拡散層ならびにコンタクト等の具体的な形状及びサイズならびにレイアウトも、この発明の主旨に影響を与えない。図4を含む関連図において、2層ゲート構造型メモリセルMCは、そのしきい値電圧が比較的大きな値とされるとき論理“0”のデータを保持し、そのしきい値電圧が比較的小きな値とされるとき論理“1”のデータを保持するものとしてよい。また、各論理値を保持するメモリセルMCのしきい値電圧の上限値及び下限値は、これらの実施例による制約を受けない。

【0056】図8において、書き込み動作時及び読み出し動作時における非選択ソース線のレベルは、選択メモリセルのドレイン電圧と同じ3V又は1Vとしてもよい。この場合、特に書き込み動作時、そのドレインに0Vの書き込み電圧を受ける選択メモリセルMCのソース・ドレイン間に3Vの逆バイアスが印加されるが、図3に示したように、メモリセルMCのソース及びドレインが非対称構造とされることで、3V程度の逆バイアス時はホットエレクトロンが発生せず、問題とならない。また、読み出し動作時は、選択メモリセルMCのソース及びドレインが同電位とされることで、メモリセルMCの

デアリートを気にする必要がなくなり、いわゆるデアリートフリーなフラッシュメモリを実現できる。各動作モード時における2層ゲート構造型メモリセルMCのコントロールゲート、ドレインならびにソースの具体的な電位は、種々の実施形態をとりうる。

【0057】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリに適用した場合について説明したが、それに限定されるものではなく、例えば、フラッシュメモリを含む各種の論理集積回路装置等にも適用できる。この発明は、少なくとも2層ゲート構造型メモリセルを記憶素子としノア型アレイ構造をとる半導体記憶装置ならびにこのような半導体記憶装置を含む装置又はシステムに広く適用することができる。

【0058】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、2層ゲート構造型メモリセルが格子配列されてなるメモリアレイを基本構成要素としノア型アレイ構造をとるフラッシュメモリ等において、ユニット選択MOSFETと対応するセルユニットを構成する所定数のメモリセルのコントロールゲートを共通のワード線に結合し、各メモリセルのソースをそれぞれ個別のソース線に結合して、サブビット線を、対応するセルユニットのユニット選択MOSFETのソースならびにメモリセルのソースたる拡散層によって形成し、ユニット選択MOSFETのゲート酸化膜を、対応する所定数のメモリセルのコントロールゲート及びフローティングゲート間の層間絶縁膜と一体化して形成するとともに、ソース線を金属配線層により形成することで、比較的小数のメモリセルのドレインが結合されるサブビット線を拡散層により形成して、その寄生抵抗による影響を受けることなくポリシリコン層の所要層数を2層とし、フラッシュメモリ等の所要プロセス工程数を削減することができるとともに、メモリセルとユニット選択MOSFETとのレイアウト境界からダミーセルをなくし、フラッシュメモリ等のチップサイズを縮小できる。また、ソース線を金属配線層により形成することで、比較的多数のメモリセルのソースが共通結合されるソース線の寄生抵抗を小さくし、その伝達遅延時間を小さくすることができる。この結果、ノア型アレイ構造をとるフラッシュメモリ等の低コスト化を図り、その動作の高速化を図ることができる。

【図面の簡単な説明】

【図1】この発明が適用されたフラッシュメモリの一実施例を示すブロック図である。

【図2】図1のフラッシュメモリに含まれるメモリアレイの一実施例を示す部分的な回路図である。

【図3】図2のメモリアレイを構成する2層ゲート構造型メモリセルの一実施例を示す基本断面構造図である。

【図4】図2のメモリアレイを構成する2層ゲート構造型メモリセルのしきい値電圧の一実施例を示す分布特性図である。

【図5】図2のメモリアレイの一実施例を示す部分的な平面配置図である。

【図6】図5のメモリアレイの一実施例を示すA-B断面構造図である。

【図7】図5のメモリアレイの一実施例を示すC-D断面構造図である。

【図8】図1のフラッシュメモリの一実施例を示す動作条件図である。

【図9】この発明に先立って本願発明者等が開発したフラッシュメモリに含まれるメモリアレイの一例を示す部分的な回路図である。

【図10】この発明に先立って本願発明者等が開発したフラッシュメモリに含まれるメモリアレイの他の一例を示す部分的な回路図である。

【図11】図10のメモリアレイの一実施例を示す部分的な断面構造図である。

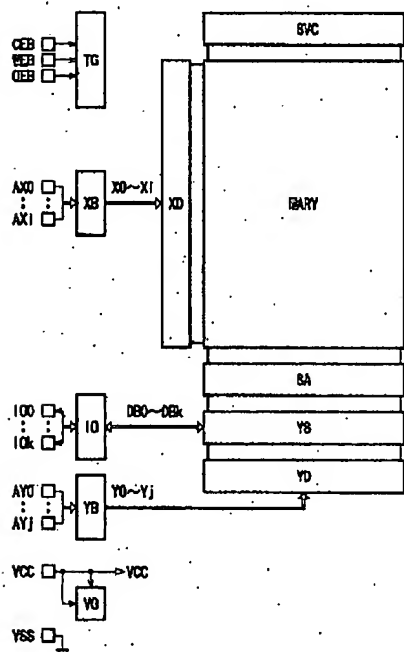
【符号の説明】

MARY……メモリアレイ、XD……Xアドレスデコーダ、XB……Xアドレスバッファ、SVC……ソース電圧制御回路、SA……センスアンプ、YS……Yスイッチ回路、YD……Yアドレスデコーダ、YB……Yアドレスバッファ、IO……データ入出力回路、TG……タ

イミング発生回路、VG……内部電圧発生回路、CEB……チップイネーブル信号又はその入力端子、WEB……ライトイネーブル信号又はその入力端子、OEB……出力イネーブル信号又はその入力端子、AX0~AXi……Xアドレス信号又はその入力端子、AY0~AYj……Yアドレス信号又はその入力端子、IO0~IOk……入出力データ又はその入出力端子、VCC……電源電圧又はその入力端子、VSS……接地電位又はその入力端子、X0~Xi……内部Xアドレス信号、Y0~Yj……内部Yアドレス信号、DB0~DBk……入出力データバス、W0~Wm……ワード線、SB01~SB0mないしSBp1~SBpm……サブビット線、MB0~MBp……メインビット線、S0~Sn……ソース線、MC……2層ゲート構造型メモリセル、NS……ユニット選択MOSFET、PSUB……P型半導体基板、N+……N型拡散層、FG……フローティングゲート、CG……コントロールゲート、OX1~OX3……トンネル絶縁膜、層間絶縁膜あるいはゲート酸化膜、CONT……コンタクト、M1……金属配線層、S……ソース、D……ドレイン、LOCOS……ロコス、B0~B5……ビット線、USW0~USW1……ユニット選択ワード線、SB00~SB01ないしSB50~SB51……サブビット線、CONT1~CONT3……コンタクト。

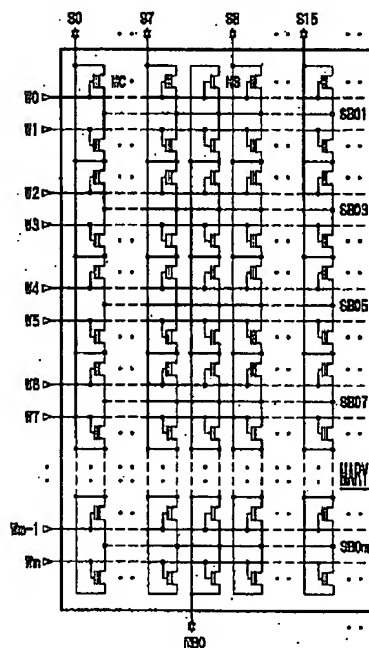
【図1】

図1 フラッシュメモリのブロック構成



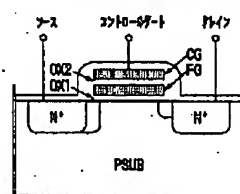
【図2】

図2 メモリアレイの偏分回路構成



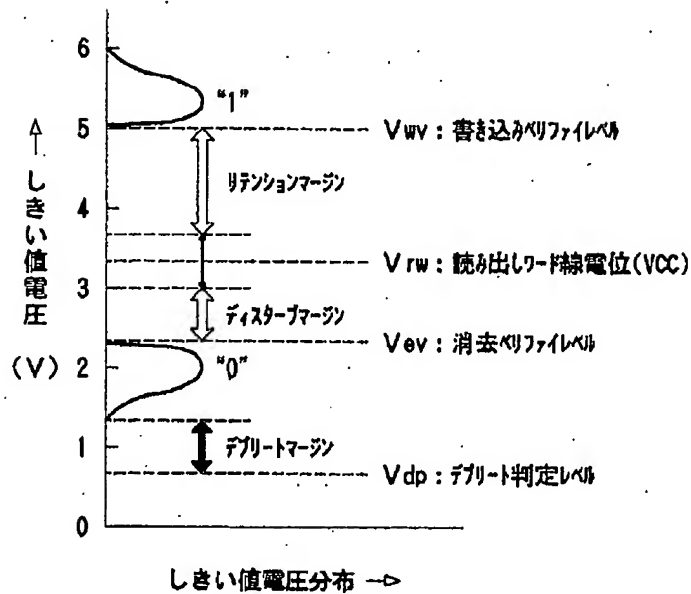
【図3】

図3 メモリセルの基本断面構造



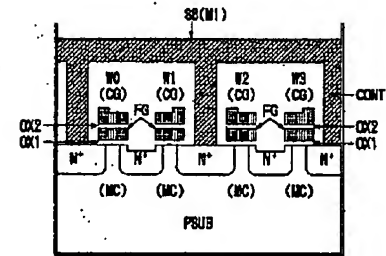
【図4】

図4 メモリセルのしきい値電圧分布特性



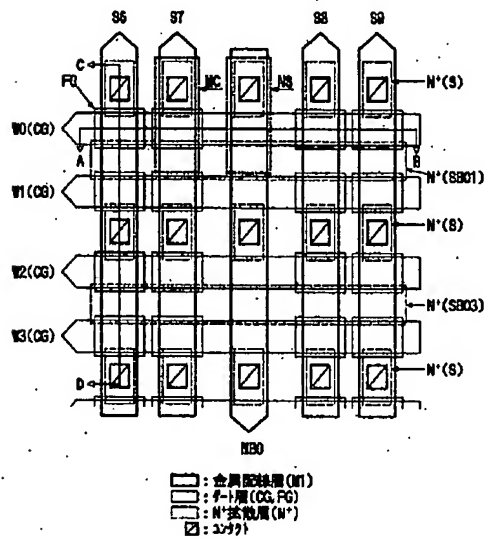
【図7】

図7 メモリアレイのC-D断面構造



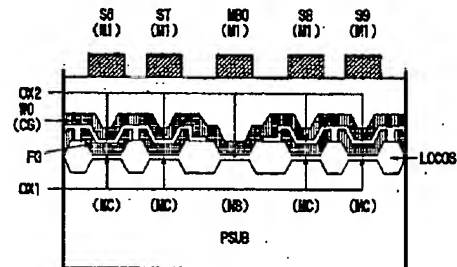
【図5】

図5 メモリアレイの横断面配置



【図6】

図6 メモリアレイのA-B断面構造



【図8】

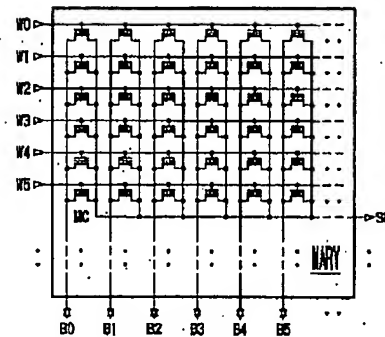
図8 フラッシュメモリの動作条件

	書き込み		消去		読み出し	
	選択	非選択	選択	非選択	選択	非選択
CG	10V	VSS	VSS	VSS	VCC	VSS
P-CH	Strong	OPEN	OPEN	OPEN	1V	OPEN
V-2	VSS	OPEN	10V	VSS	VSS	OPEN
基板部	VSS	VSS	VSS	VSS	VSS	VSS

書き込み: $V_{CH} \rightarrow V_{HH}$ 消去: $V_{CH} \rightarrow V_{HL}$

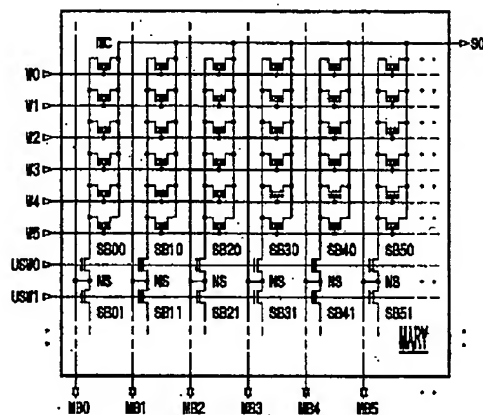
【図9】

図9 メモリアレイの部分回路構成



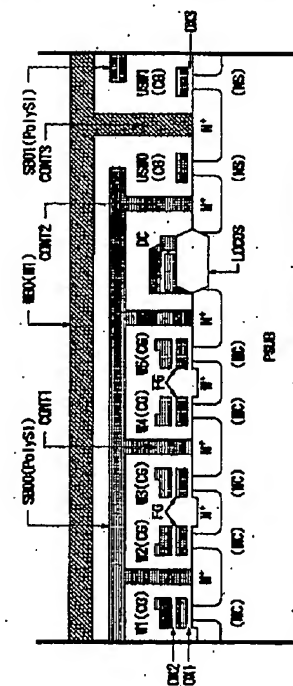
【図10】

図10 メモリアレイの行分回路構成



【図11】

図11 メモリアレイの部分回路構成



[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)
[First Hit](#)

☐ [Generate Collection](#)

L11: Entry 8 of 43

File: JPAB

Dec 24, 1999

PUB-NO: JP411354758A
DOCUMENT-IDENTIFIER: JP 411354758 A
TITLE: SEMICONDUCTOR MEMORY

PUBN-DATE: December 24, 1999

INVENTOR-INFORMATION:

NAME

COUNTRY

TAKAHASHI, MASATO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

APPL-NO: JP10158690

APPL-DATE: June 8, 1998

INT-CL (IPC): [H01 L 27/115](#); [H01 L 21/8247](#); [H01 L 29/788](#); [H01 L 29/792](#)

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a high speed flash memory having NOR type array structure at low cost while eliminating drain disturb.

SOLUTION: In a flash memory of NOR type array structure having a memory array of two layer gate structure type memory cells MC arranged in lattice as a basic component, control gates CG of a specified number of memory cells MC constituting a cell unit corresponding to a unit select MOSFETNS are coupled with a common word line W0, sources of these memory cells MC are coupled with individual source lines S6-S9, and sub-bit lines to be connected commonly with the drains of the specified number of memory cells MC of each cell unit are formed of a diffusion layer, i.e., the source of the unit select MOSFETNS of a corresponding cell unit and the source of the memory cell MC. Gate oxide film of the unit select MOSFETNS is formed integrally with an interlayer insulation film OX2 between the control gates CG and floating gates FG of corresponding specified number of memory cells MC and the source lines S6-S9 are formed of a metallization layer M1.

COPYRIGHT: (C)1999,JPO

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-354758

(43)公開日 平成11年(1999)12月24日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 27/115

H 0 1 L 27/10

4 3 4

21/8247

29/78

3 7 1

29/788

29/792

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21)出願番号

特願平10-158690

(22)出願日

平成10年(1998)6月8日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 高橋 正人

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74)代理人 弁理士 徳若 光政

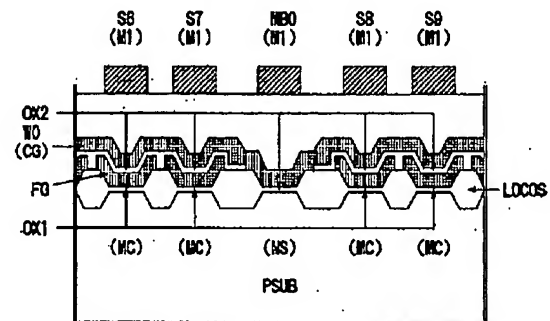
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 ドレインディスタブを排除しつつ、ノア型アレイ構造をとるフラッシュメモリ等の低コスト化及び高速化を図る。

【解決手段】 2層ゲート構造型メモリセルMCが格子配列されてなるメモリアレイを基本構成要素としノア型アレイ構造をとるフラッシュメモリ等において、ユニット選択MOSFETNSと対応するセルユニットを構成する所定数のメモリセルMCのコントロールゲートCGを共通のワード線W0等に結合し、これらのメモリセルMCのソースをそれぞれ個別のソース線S6～S9等に結合して、各セルユニットの所定数のメモリセルMCのドレインが共通結合されるサブビット線を、対応するセルユニットのユニット選択MOSFETNSのソースならびにメモリセルMCのソースたる拡散層により形成し、ユニット選択MOSFETNSのゲート酸化膜を、対応する所定数のメモリセルMCのコントロールゲートCG及びフローティングゲートFG間の層間絶縁膜OX2と一体化して形成するとともに、ソース線S6～S9等を金属配線層M1により形成する。

図6 メモリアレイのA-B断面構造



【特許請求の範囲】

【請求項1】 所定数を単位としてセルユニットを構成し、そのドレインが各セルユニットを構成する上記所定数ごとに対応するサブビット線にそれぞれ共通結合される2層ゲート構造型のメモリセルと、

上記サブビット線と対応するメインビット線との間に設けられるユニット選択MOSFETとを具備し、かつ、上記サブビット線が、対応する上記セルユニットを構成する所定数のメモリセルのドレインならびにユニット選択MOSFETのソースとなる拡散層からなることを特徴とする半導体記憶装置。

【請求項2】 請求項1において、上記セルユニットを構成する所定数のメモリセルのゲートは、対応する上記ユニット選択MOSFETのゲートとともに対応するワード線に共通結合され、そのソースは、対応するソース線にそれぞれ結合されるものであって、上記サブビット線は、対応する上記ワード線に平行して配置され、上記メインビット線及びソース線は、対応する上記ワード線に直交して配置されるものであることを特徴とする半導体記憶装置。

【請求項3】 請求項2において、上記ユニット選択MOSFETのゲート及び基板間に設けられるゲート酸化膜は、対応する上記セルユニットを構成する所定数のメモリセルのコントロールゲート及びフローティングゲート間に設けられる層間絶縁膜と一体化して形成されるものであることを特徴とする半導体記憶装置。

【請求項4】 請求項2又は請求項3において、上記ソース線は、金属配線層からなるものであり、上記メモリセルのソースたる拡散層は、所定のコンタクトを介して対応するソース線に結合されるものであることを特徴とする半導体記憶装置。

【請求項5】 請求項1、請求項2、請求項3又は請求項4において、上記半導体記憶装置は、フラッシュメモリであり、上記メモリセルに対する書き込み動作は、ホットエレクトロンによるドレインからフローティングゲートへの電子注入を用いて行われ、その消去動作は、FNTトンネル現象によるフローティングゲートからソースへの電子放出を用いて行われるものであることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置に関し、例えば、2層ゲート構造型の不揮発性メモリセルを記憶素子とするノア型アレイ構造のフラッシュメモリならびにその低コスト化及び動作の高速化に利用して特に有効な技術に関する。

【0002】

【従来の技術】コントロールゲート及びフローティングゲートを有するいわゆる2層ゲート構造型の不揮発性メモリセルがあり、このようなメモリセルが格子配列されてなるメモリアレイをその基本構成要素とするフラッシュメモリがある。

【0003】

【発明が解決しようとする課題】フラッシュメモリは、例えば図9に示されるように、直交して配置されるワード線W0～W5等ならびにビット線B0～B5等と、これらのワード線及びビット線の交点に格子配列される2層ゲート構造型メモリセルMCを含むメモリアレイMARYをその基本構成要素とする。メモリアレイMARYの同一列に配置されるメモリセルMCのドレインは、対応するビット線B0～B5等に共通結合され、そのソースは、対応するソース線S0等と共通結合される。また、メモリアレイMARYの同一行に配置されるメモリセルMCのコントロールゲートは、対応するワード線W0～W5等に共通結合される。

【0004】書き込み動作時、メモリアレイMARYの指定されたメモリセルMCのコントロールゲートが結合されるワード線W0～W5等には、例えば10V（ボルト）程度の高電圧が印加され、指定されたメモリセルMCのドレインが結合されるビット線B0～B5等には、例えば3V程度の書き込み電圧が印加される。したがって、図9の構成をとるメモリアレイMARYでは、指定されたメモリセルMCと同一ビット線に結合される他の非選択メモリセルがドレインディスタースの影響を受け、そのしきい値電圧が不本意に変化する。

【0005】これに対処するため、大容量のフラッシュメモリでは、図10に例示されるように、メモリアレイMARYの同一列に配置される例えば6個のメモリセルMCを単位としてセルユニットを構成し、各セルユニットを構成するメモリセルMCのドレインを対応するサブビット線SB00～SB01ないしSB50～SB50等と共通結合するいわゆるノア（NOR）型アレイ構造がとられる。このノア型アレイのメモリアレイMARYでは、サブビット線SB00～SB01ないしSB50～SB51等と対応するメインビット線MB0～MB5等との間に、そのゲートが対応するユニット選択ワード線USW0～USW1等と共通供給されるNチャンネル型のユニット選択MOSFET（金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）NSが設けられ、指定されたメモリセルMCが含まれるセルユニットのみに対応するメインビット線MB0～MB5等に接続する方法がとられる。これにより、指定されたメモリセルMCを含まない他のセルユニットのメモリセルMCに対するドレインディスタースは排除される。

【0006】ところで、ノア型アレイ構造をとるフラッシュメモリでは、図11に例示されるように、サブビッ

ト線SB00～SB01等が、例えばポリシリコンPolysilicon等により形成され、メモリセルMCのドレインとなるN型拡散層N⁺は、対応するコンタクトCONT1を介して対応するサブビット線SB00等に共通結合される。サブビット線SB00等は、その右端でコンタクトCONT2を介してユニット選択MOSFETNSのソースたるN型拡散層N⁺に結合され、このユニット選択MOSFETのドレインとなる他方のN型拡散層N⁺は、コンタクトCONT3を介して例えば金属配線層M1からなるメインビット線MB0等に結合される。また、ソース線S0等は、メモリセルMCのソースたる拡散層を共通化し延長することによって形成された後、所定のコンタクトを介して金属配線層からなる図示されないメインソース線にシャントとされる。

【0007】各メモリセルMCのチャネルつまり基板の上層には、所定の膜厚を有するトンネル絶縁膜OX1をはさんでフローティングゲートFGが形成され、その上層には、所定の膜厚を有する層間絶縁膜OX2をはさんでワード線W0～W5等となるコントロールゲートCGが形成される。さらに、ユニット選択MOSFETNSの基板の上層には、所定のゲート酸化膜OX3をはさんで、ユニット選択ワード線USW0等となるコントロールゲートCGが形成される。

【0008】ところが、上記ノア型アレイ構造をとるフラッシュメモリでは、ドレインディスタブの排除という点では大きな効果が得られるが、サブビット線SB00等がポリシリコンからなることで少なくとも3層のポリシリコン層が必要となり、金属配線層も合わせてフラッシュメモリの所要プロセス工程数が増える。また、2層ゲート構造型のメモリセルMCと単一ゲート構造のユニット選択MOSFETNSとのレイアウト境界に、基板削れを防止するためのダミーセルDCが必要となり、これによってフラッシュメモリのチップサイズが増大する。さらに、比較的多数のメモリセルMCのソースが共通結合されるソース線S0等が、メモリセルMCのソースを延長した拡散層とシャント用の金属配線層からなることで、ソース線の寄生抵抗が比較的大きくなり、相応してその伝達遅延時間が大きくなる。これらの結果、ドレインディスタブの排除と引き換えに、フラッシュメモリの低コスト化が阻害され、その高速動作が阻害される。

【0009】この発明の目的は、ドレインディスタブを排除しつつ、ノア型アレイ構造をとるフラッシュメモリ等の低コスト化及び高速化を図ることにある。

【0010】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次

の通りである。すなわち、2層ゲート構造型メモリセルが格子配列されてなるメモリアレイを基本構成要素としノア型アレイ構造をとるフラッシュメモリ等において、ユニット選択MOSFETと対応するセルユニットを構成する所定数のメモリセルのコントロールゲートを共通のワード線に結合し、各メモリセルのソースをそれぞれ個別のソース線に結合して、サブビット線を、対応するセルユニットのユニット選択MOSFETのソースならびにメモリセルのソースたる拡散層により形成し、ユニット選択MOSFETのゲート酸化膜を、対応する所定数のメモリセルのコントロールゲート及びフローティングゲート間の層間絶縁膜と一体化して形成するとともに、ソース線を金属配線層により形成する。

【0012】上記した手段によれば、比較的小数のメモリセルのドレインが結合されるサブビット線を拡散層により形成することで、その寄生抵抗による影響を受けることなくポリシリコン層の所要層数を2層とし、フラッシュメモリ等の所要プロセス工程数を削減できるとともに、メモリセルとユニット選択MOSFETのレイアウト境界からダミーセルをなくし、フラッシュメモリ等のチップサイズを縮小できる。また、ソース線を金属配線層により形成することで、比較的多数のメモリセルのソースが共通結合されるソース線の寄生抵抗を小さくし、その伝達遅延時間を小さくすることができる。この結果、非選択メモリセルに対するドレインディスタブの影響を排除しつつ、ノア型アレイ構造をとるフラッシュメモリ等の低コスト化を図り、その動作の高速化を図ることができる。

【0013】

【発明の実施の形態】図1には、この発明が適用されたフラッシュメモリ（半導体記憶装置）の一実施例のブロック図が示されている。同図をもとに、まずこの実施例のフラッシュメモリの構成及び動作の概要について説明する。なお、図1の各ブロックを構成する回路素子は、公知のMOSFET集積回路の製造技術により、単結晶シリコンのような1個の半導体基板面上に形成される。

【0014】図1において、この実施例のフラッシュメモリは、半導体基板面の大半を占めて配置されるメモリアレイMARYをその基本構成要素とする。メモリアレイMARYは、後述するように、図の水平方向に平行して配置される所定数の図示されないワード線と、図の水平方向に平行して配置される所定数の図示されないメインビット線と、これらのワード線及びメインビット線の交点に格子配列される多数の図示されない2層ゲート構造型メモリセルとを含む。

【0015】この実施例において、フラッシュメモリはノア型アレイ構造をとり、メモリアレイMARYを構成するメモリセルは、同一行に配置される所定数つまり例えば16個を単位としてセルユニットを構成する。これらのセルユニットを構成するそれぞれ16個のメモリセ

ルのドレインは、図1の水平方向に配置されるサブビット線に共通結合された後、図示されないユニット選択MOSFETを介して対応するメインビット線に結合される。また、各セルユニットを構成する16個のメモリセルのゲートは、対応するユニット選択MOSFETのゲートとともに、対応するワード線に共通結合され、そのソースは、図1の垂直方向に配置されるソース線にそれぞれ共通結合される。このように、本実施例のフラッシュメモリでは、各セルユニットが同一行のメモリセルによって構成され、ユニット選択MOSFETのゲートが結合されるユニット選択ワード線は、メモリセルのゲートが結合されるワード線と共通化される。なお、メモリアレイMARYの具体的構成及びセルユニット構造等については、後で詳細に説明する。

【0016】メモリアレイMARYを構成するワード線は、その左方においてXアドレスデコーダXDに結合される。また、ソース線は、その上方においてソース電圧制御回路SVCに結合され、メインビット線は、その下方においてセンスアンプSAに結合された後、Yスイッチ回路YSを介して $k+1$ ビットずつ選択的に入出力データバスDB0~DB k つまりデータ入出力回路IOに接続される。

【0017】XアドレスデコーダXDには、XアドレスバッファXBから $i+1$ ビットの内部Xアドレス信号X0~Xiが供給されるとともに、タイミング発生回路TGから図示されない各種内部制御信号が供給され、内部電圧発生回路VGから各種内部電圧が供給される。また、ソース基板電圧切換回路SVCには、YアドレスバッファYBから $j+1$ ビットの内部Yアドレス信号Y0~Yjが供給されるとともに、タイミング発生回路TGから各種内部制御信号が供給され、内部電圧発生回路VGから各種内部電圧が供給される。さらに、Yスイッチ回路YSには、YアドレスデコーダYDから所定ビットのビット線選択信号が供給され、YアドレスデコーダYDには、YアドレスバッファYBから $j+1$ ビットの内部Yアドレス信号Y0~Yjが供給される。XアドレスバッファXBには、外部のアクセス装置からXアドレス入力端子AX0~AXiを介してXアドレス信号AX0~AXiが供給され、YアドレスバッファYBには、Yアドレス入力端子AY0~AYjを介してYアドレス信号AY0~AYjが供給される。

【0018】XアドレスバッファXBは、Xアドレス入力端子AX0~AXiを介して供給されるXアドレス信号AX0~AXiを取り込み、保持するとともに、これらのXアドレス信号をもとに内部Xアドレス信号X0~Xiを形成し、XアドレスデコーダXDに供給する。また、XアドレスデコーダXDは、XアドレスバッファXBから供給される内部Xアドレス信号X0~Xiをデコードして、メモリアレイMARYのワード線を選択的に所定の選択又は非選択レベルとする。

【0019】一方、YアドレスバッファYBは、Yアドレス入力端子AY0~AYjを介して供給されるYアドレス信号AY0~AYjを取り込み、保持するとともに、これらのYアドレス信号をもとに内部Yアドレス信号Y0~Yjを形成し、ソース電圧制御回路SVC及びYアドレスデコーダYDに供給する。また、ソース電圧制御回路SVCは、YアドレスバッファYBから供給される内部Yアドレス信号Y0~Yjをデコードして、メモリアレイMARYのソース線を選択的に所定の選択又は非選択レベルとし、YアドレスデコーダYDは、やはり内部Yアドレス信号Y0~Yjをデコードして、Yスイッチ回路YSに対するビット線選択信号を択一的に所定の選択レベルとする。さらに、Yスイッチ回路YSは、YアドレスデコーダYDから供給されるビット線選択信号の択一的なハイレベルを受けてセンスアンプSAの対応する $k+1$ 個の単位回路と入出力データバスDB0~DB k つまりデータ入出力回路IOとの間を選択的に接続する。

【0020】この実施例において、センスアンプSAは、メモリアレイMARYのメインビット線に対応して設けられる所定数の単位回路を備え、これらの単位回路のそれぞれは、メモリアレイMARYの指定されたメモリセルから対応するメインビット線を介して出力される読み出し信号を増幅し、その論理レベルを判定するリードアンプと、データ入出力回路IOから供給される書き込みデータをもとに所定の書き込み信号を生成するライトアンプと、これらのリードアンプ又はライトアンプと入出力データバスとの間で授受される読み出しデータ又は書き込みデータを保持するデータレジスタを含む。なお、ワード線及びソース線の選択・非選択レベルや、読み出し又は書き込み動作時におけるメインビット線の読み出し電圧及び書き込み信号レベル等については、後で詳細に説明する。

【0021】タイミング発生回路TGは、外部のアクセス装置から起動制御信号として供給されるチップイネーブル信号CEB（ここで、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等については、その名称の末尾にBを付して表す。以下同様）、ライトイネーブル信号WEBならびに出カイネーブル信号OEBをもとに、各種内部制御信号を選択的に形成し、フラッシュメモリの各部に供給する。また、内部電圧発生回路VGは、外部の電源装置から外部端子VCC及びVSSを介して供給される電源電圧VCC及び接地電位VSSをもとに各種内部電圧を生成し、フラッシュメモリの各部に供給する。なお、電源電圧VCCは、特に制限されないが、3.3Vのような正電位とされる。また、内部電圧発生回路VGにより生成される内部電圧には、書き込み、消去あるいは読み出し動作に必要な例えば10V、3Vあるいは1Vといった各種電位の内部電圧が含まれるが、これらの内部電圧の用途については後

で説明する。

【0022】図2には、図1のフラッシュメモリに含まれるメモリアレイMARYの一実施例の部分的な回路図が示されている。また、図3には、図2のメモリアレイMARYを構成する2層ゲート構造型メモリセルMCの一実施例の基本断面構造図が示され、図4には、メモリセルMCのしきい値電圧の一実施例の分布特性図が示されている。さらに、図5には、図2のメモリアレイMARYの一実施例の部分的な平面配置図が示され、図6及び図7には、その一実施例のA-B断面構造図及びC-D断面構造図がそれぞれ示されている。これらの図をもとに、この実施例のフラッシュメモリに含まれるメモリアレイMARYの具体的構成ならびに2層ゲート構造型メモリセルMCの構造及び特性について説明する。

【0023】なお、以下の回路図に示されるMOSFETは、すべてNチャンネルMOSFETである。また、メモリアレイMARY等の配置及び断面構造に関する以下の記述では、図3、図5、図6ならびに図7の位置関係をもって上下左右を表現する。さらに、図2には、ワード線W0～W7とWm-1～Wm、メインビット線MB0、サブビット線SB01～SB07とSB0mならびにソース線S0～S15に関する部分が例示的に示され、図5には、ワード線W0～W3、メインビット線MB0、サブビット線SB01及びSB03ならびにソース線S6～S9に関する部分が例示的に示され、図6には、ワード線W0、メインビット線MB0ならびにソース線S6～S9に関する部分が例示的に示され、図7には、ワード線W0～W3及びソース線S6に関する部分が例示的に示される。その他の部分については、これらに関する以下の記述から類推されたい。

【0024】図2において、この実施例のフラッシュメモリに含まれるメモリアレイMARYは、図の水平方向に平行して配置されるm+1本のワード線W0～Wmと、垂直方向に平行して配置されるn+1本のソース線S0～Snならびにp+1本のメインビット線MB0～MBpを含む。これらのワード線及びソース線の交点には、フローティングゲート及びコントロールゲートを有する合計(m+1)×(n+1)個の2層ゲート構造型メモリセルMCが格子配列される。

【0025】この実施例において、フラッシュメモリはノア型アレイ構造をとり、メモリアレイMARYを構成するメモリセルMCは、特に制限されないが、同一行に配置される16個を単位として、つまりメインビット線MB0～MBpに対応してグループ分割され、合計(m+1)×(n+1)/16個つまり(m+1)×(p+1)個のセルユニットを構成する。これらのセルユニットを構成するそれぞれ16個のメモリセルMCのドレインは、ワード線W0～Wmと平行して配置される(p+1)×(m+1)/2本のサブビット線SB01～SB0mないしSBp1～SBpm(ここで、サブビット線

の追番の末尾は奇数番号とされるが、簡略化のためSB01～SB0mないしSBp1～SBpmとして表す。以下同様)に共通結合された後、対応するユニット選択MOSFETNSを介して対応するメインビット線MB0～MBpに結合される。また、各セルユニットを構成する16個のメモリセルMCのゲートは、対応するユニット選択MOSFETNSのゲートとともに対応するワード線W0～Wmにそれぞれ共通結合され、そのソースは、対応するソース線S0～Snにそれぞれ共通結合される。

【0026】なお、メモリアレイMARYを構成するメインビット線MB0～MBpの本数p+1が、上記のように、ソース線の本数n+1に対して、 $p+1 = (n+1)/16$

なる関係にあることは言うまでもない。また、図2から明らかなように、サブビット線SB01～SB0mないしSBp1～SBpmには、上下の2個のセルユニットを構成する合計36個のドレインが共通結合され、これらのセルユニットとの間の接続切り換えは、対応する2本のワード線W0又はW1ないしWm-1又はWm等を択一的に選択レベルとすることによって実現される。

【0027】メモリアレイMARYのワード線W0～Wmは、その左方においてXアドレスデコーダXDに結合される。また、メモリアレイMARYのソース線S0～Snは、その上方においてソース電圧制御回路SVCに結合され、メインビット線MB0～MBpは、その下方においてセンスアンプSAに結合される。

【0028】ここで、メモリアレイMARYを構成する2層ゲート構造型メモリセルMCのそれぞれは、図3に示されるように、P型半導体基板PSUB内に形成される一対のN型拡散層N⁺をそのソース及びドレイン領域とする。これらのN型拡散層N⁺の間、つまり各メモリセルMCのチャネルとなる基板の上層には、所定の膜厚を有するトンネル絶縁膜OX1が例えばシリコン酸化膜によって形成され、その上層には、例えばN型不純物の存在するポリ(多結晶)シリコンによってフローティングゲートFGが形成される。また、このフローティングゲートFGの上層には、所定の膜厚を有する層間絶縁膜OX2が例えばシリコン酸化膜によって形成され、さらにその上層には、例えばN型不純物の存在するポリシリコンによってコントロールゲートCGが形成される。

【0029】この実施例において、メモリセルMCのドレインとなる一方のN型拡散層N⁺のフローティングゲートFGに近い浅い部分には、例えばほう素又は砒素等の存在する不純物層が設けられ、これによってドレインからのホットエレクトロンの発生をしやすくして、メモリセルMCの書き込み特性を高めることができる。また、メモリセルMCのソースとなる他方のN型拡散層N⁺には、例えばリン又は砒素等の存在する不純物層が設けられ、これによってFN(Fowler Nordh

eim:ファウラー・ノルトハイム)トンネル現象を発生しやすくして、メモリセルMCの消去特性を改善することができる。

【0030】後述するように、メモリアレイMARYを構成する2層ゲート構造型メモリセルMCのフローティングゲートFGには、例えばそのコントロールゲートCGとなるワード線に10Vのような高電圧が印加され、そのドレインとなるサブビット線に3Vのような書き込み電圧が印加され、そのソースとなるソース線に接地電位VSSつまり0Vが印加されるとき、そのドレイン近傍で発生したホットエレクトロンが注入・蓄積される。この結果、メモリセルMCのしきい値電圧は、図4に例示されるように、例えば5Vを下限とする比較的大きな値となり、例えばいわゆる論理“1”のデータを保持するものとなる。

【0031】一方、2層ゲート構造型メモリセルMCのフローティングゲートFGに蓄積された電子は、例えばそのコントロールゲートCGとなるワード線が接地電位VSSつまり0Vのような非選択レベルとされ、そのドレインとなるサブビット線が開放状態OPENとされ、そのソースとなるソース線が10Vのような選択レベルとされるとき、FNトンネル現象によってそのソース側に放出される。この結果、メモリセルMCのしきい値電圧は、例えば2.4Vを上限とする比較的小きな値となり、いわゆる論理“0”のデータを保持するものとなる。

【0032】これらのことから、対象となるメモリセルMCのゲートつまりワード線に例えば電源電圧VCCつまり3.3Vの読み出し電圧を印加し、このメモリセルMCがオフ状態のままであるか又はオン状態となるかを識別することにより、その保持データが論理“1”又は“0”のいずれであるかを判定できる。

【0033】この実施例において、メモリアレイMARYを構成するメモリセルMCは、前述のように、同一行に配置される16個を単位としてセルユニットを構成し、メモリアレイMARYには、各セルユニットに対応してそれぞれ1個のユニット選択MOSFETNSが設けられる。また、各セルユニットを構成する16個のメモリセルMCは、図5に示されるように、例えばサブビット線SB01又はSB03となるN型拡散層N⁺をそのドレイン領域として共有し、ユニット選択MOSFETNSも、このN型拡散層をソース領域として共有する。先にも述べた通り、サブビット線SB01又はSB03となるN型拡散層N⁺は、その上下に設けられた2個のセルユニットの合計32個のメモリセルMCのドレインならびに2個のユニット選択MOSFETNSのソースとして共有される。

【0034】つまり、この実施例のフラッシュメモリでは、メモリアレイMARYの各セルユニットを構成するメモリセルMCのドレインたるサブビット線SB01～

SB0mないしSBp1～SBpmがN型拡散層N⁺により形成される訳であるが、このN型拡散層N⁺をその延長方向において共有するメモリセルMCの数はたかだか16個であるため、その寄生抵抗によってフラッシュメモリのアクセスタイムが受ける影響は無視できる程度に小さい。逆に言うならば、サブビット線SB01～SB0mないしSBp1～SBpmがN型拡散層N⁺により形成されることで、ポリシリコン数の所要層数は、前記図10及び図11の場合に比較して1層少なくなつて2層となり、これによってフラッシュメモリの所要プロセス工程数を削減し、その低コスト化を図ることができるものとなる。

【0035】メモリアレイMARYのサブビット線SB01又はSB03等となるN型拡散層N⁺の上下には、それぞれ所定の距離を置いて、各メモリセルMCのソースSとなるN型拡散層N⁺が独立した形で形成される。これらのN型拡散層N⁺は、その上下に配置された2個のメモリセルMCによって共有される。

【0036】メモリアレイMARYのサブビット線SB01又はSB03等となるN型拡散層N⁺とメモリセルMCのソースとなるN型拡散層N⁺との間、つまり各メモリセルMCの基板の上層には、図6に例示されるように、所定の膜厚を有するトンネル絶縁膜OX1が形成され、その上層には、フローティングゲートFGとなる第1層のポリシリコン層が独立した形で形成される。また、これらのフローティングゲートFGの上層には、所定の膜厚を有する層間絶縁膜OX2が形成され、その上層には、各メモリセルMCのコントロールゲートCGとなる第2層のポリシリコン層が水平方向に延長される形で形成される。

【0037】この実施例において、各セルユニットを構成する16個のメモリセルMCのコントロールゲートCGとなる第2層のポリシリコン層は、前述のように、ワード線W0～Wmとなつて図示されない第2層の金属配線層M2からなるメインワード線にシャントされるとともに、対応するユニット選択MOSFETNSのコントロールゲートCGともなる。また、各メモリセルMCのフローティングゲートFG及びコントロールゲートCG間に設けられる層間絶縁膜OX2は、アドレス選択MOSFETNSのゲート酸化膜として一体化され、同一のプロセス工程で同時形成される。この結果、フラッシュメモリの所要プロセス工程数をさらに削減することができるとともに、基板割れを防止するためのダミーセルを設ける必要がなくなり、これによってフラッシュメモリのチップサイズを縮小し、そのさらなる低コスト化を図ることができるものとなる。

【0038】なお、図6から類推できるように、ユニット選択MOSFETNSとこれに隣接するメモリセルMCとの間に設けられるロコスLOCOSは、やや長い距離とやや大きな厚みをもって形成され、これによってユ

ニット選択MOSFETNSとメモリセルMCの境界部における基板削れをさらに抑制できる。

【0039】一方、メモリアレイMARYのメインビット線MB0～MBpは、図5のメインビット線MB0に代表されるように、垂直方向に延長される第1層の金属配線層M1からなり、このメインビット線MB0等には、対応するコンタクトを介して、同一列に配置されるm+1個のセルユニットのユニット選択MOSFETNSのドレインが共通結合される。同様に、メモリアレイMARYのソース線S0～Snのそれぞれは、図5のソ

ース線S6～S9に代表されるように、垂直方向に平行して延長される第1層の金属配線層M1からなり、これらのソース線S6～S9等には、図7のソース線S6に代表されるように、対応するコンタクトCONTを介して、同一列に配置されるm+1個のメモリセルMCのソースがそれぞれ共通結合される。このように、比較的多数のメモリセルMCのソースが共通結合されるソース線S0～Snを、抵抗値が十分に小さな金属配線層M1により形成することで、ソース線S0～Snの伝達遅延時間を小さくし、フラッシュメモリのアクセスタイムの高

速化を図ることができるものとなる。

【0040】図8には、図1のフラッシュメモリの書き込み、消去ならびに読み出し動作時における一実施例の動作条件図が示されている。同図をもとに、この実施例のフラッシュメモリの動作について詳細に説明する。なお、フラッシュメモリの動作に関する以下の説明に際し、前記図2～図7を適宜参照されたい。

【0041】図8において、フラッシュメモリが書き込みモードとされるとき、メモリアレイMARYでは、ワード線W0～Wmのうち指定された1本が、XアドレスデコーダXDによって択一的に10Vのような選択レベルとされ、その他のワード線はすべて接地電位VSSつまり0Vのような非選択レベルとされる。また、メインビット線MB0～MBpのうち指定されたk+1本には、センスアンプSAの対応するk+1個のライトアンプから3Vのような論理“1”あるいは0Vのような論理“0”の書き込み電圧が選択的に印加され、その他のメインビット線はすべて開放状態OPENとされる。さらに、ソース線S0～Snの上記k+1本のメインビット線に対応する合計16×(k+1)本のうち、各セル

ユニットに対応する16本のうちの1本、つまり合計k+1本には、ソース電圧制御回路SVCからそれぞれ択一的に接地電位VSSが印加され、上記k+1本のメインビット線に対応しないものを含むその他のソース線はすべて開放状態OPENとされる。メモリセルMCの基板部となるP型半導体基板には、いずれの動作モードにおいても接地電位VSSつまり0Vの基板電圧が印加される。

【0042】これにより、メモリアレイMARYでは、選択ワード線に結合される同一行のp+1個のセルユ

ニットのユニット選択MOSFETNSがオン状態となり、対応する16×(p+1)個のメモリセルMCのドレインには、サブビット線SB01～SB0mないしSBp1～SBpmのうちの対応するp+1本を介して対応するメインビット線MB0～MBpの電位が伝達される。また、これらのメモリセルMCのコントロールゲートCGには、すべて対応するワード線の選択レベルつまり10Vが印加されるが、そのソースつまりソース線S0～Snが選択的に接地電位VSS又は開放状態OPENとされることで、ホットエレクトロンによるフローティングゲートFGへの電子の注入が選択的に行われる。

【0043】すなわち、選択セルユニット、つまり選択ワード線に結合され対応するメインビット線に3V又は0Vの書き込み電圧が印加されるk+1個のセルユニットに含まれ、対応するソース線に接地電位VSSが印加されるそれぞれ1個、合計k+1個の選択メモリセルMCでは、そのドレインに印加される書き込み電圧が3Vつまり論理“1”であることを条件にドレイン近傍からホットエレクトロンが発生し、フローティングゲートFGに対する電子の注入が行われる。この結果、これらのメモリセルMCのしきい値電圧は、5Vを下限とする比較的大きな値に変化し、これによって論理“1”のデータを保持するものとなる。

【0044】一方、k+1個の選択メモリセルMCのうち、そのドレインに0Vつまり論理“0”の書き込み電圧が印加されるメモリセルMCでは、ドレインが0Vであることによってドレイン近傍におけるホットエレクトロンの発生はなく、そのしきい値電圧も消去状態、つまり例えば2.4Vを上限とする比較的小きな値のまま変化されない。また、選択セルユニットに含まれ対応するソース線が開放状態OPENとされる他の15×(k+1)個の非選択メモリセルMCでは、対応するソース線が開放状態OPENとされるため、そのドレインに3Vの書き込み電圧が印加されたとしてもホットエレクトロンは発生せず、そのしきい値電圧も変化されない。さらに、選択ワード線に結合される非選択セルユニットでは、対応するメインビット線が開放状態OPENとされることで書き込み動作が行われず、非選択ワード線に結合される他のすべてのセルユニットでは、そのユニット選択MOSFETNSがオフ状態とされ対応するサブビット線が開放状態OPENとされることで同様に書き込み動作が行われない。

【0045】次に、フラッシュメモリが消去モードとされるとき、メモリアレイMARYでは、ソース線S0～Snのうちの所定数が、ソース電圧制御回路SVCによって10Vのような選択レベルとされ、その他のソース線はすべて接地電位VSSつまり0Vのような非選択レベルとされる。このとき、ワード線W0～Wmはすべて接地電位VSSのような非選択レベルとされ、メインビット線MB0～MBpはすべて開放状態OPENとされ

10

20

30

40

50

る。メモリセルMCの基板部となるP型半導体基板には、前述のように、接地電位VSSつまり0Vが印加される。

【0046】これにより、メモリアレイMARYでは、すべてのセルユニットのユニット選択MOSFETNSがワード線W0~Wmの非選択レベルを受けてオフ状態となり、サブビット線SB01~SB0mないしSBp1~SBpmつまり各メモリセルMCのドレインも開放状態OPENとされる。このため、各選択ソース線に結合されるm+1個のメモリセルMCでは、そのフローティングゲートFG及びソース間でFNTトンネル現象が生じ、フローティングゲートFGの電子がソースに放出される。この結果、選択ソース線に結合されるすべてのメモリセルMCのしきい値電圧が、消去状態に対応する2.4Vを上限とする比較的小さな値とされ、これによって論理“0”のデータを保持するものとされる。

【0047】一方、フラッシュメモリが読み出しモードとされるとき、メモリアレイMARYでは、ワード線W0~Wmのうち指定された1本が、XアドレスデコーダXDによって択一的に電源電圧VCCつまり3.3Vのような選択レベルとされ、その他のワード線はすべて接地電位VSSつまり0Vのような非選択レベルとされる。また、メインビット線MB0~MBpのうち指定されたk+1本には、センスアンプSAの対応するk+1個のリードアンプから1Vのような読み出し電圧が印加され、その他のメインビット線はすべて開放状態OPENとされる。さらに、ソース線S0~Snの上記k+1本のメインビット線に対応する合計16×(k+1)本のうち、各セルユニットに対応する16本のうちの1本、つまり合計k+1本に、ソース電圧制御回路SVCからそれぞれ択一的に接地電位VSSが印加され、その他のソース線はすべて開放状態OPENとされる。

【0048】これにより、メモリアレイMARYでは、選択ワード線に結合される同一行のp+1個のセルユニットのユニット選択MOSFETNSがオン状態となり、対応する16×(p+1)個のメモリセルMCのドレインには、サブビット線SB01~SB0mないしSBp1~SBpmのうちの対応するp+1本を介して対応するメインビット線MB0~MBpの電位つまり1Vの読み出し電圧が伝達される。また、これらのメモリセルMCのコントロールゲートCGには、すべて対応するワード線の選択レベルつまり3.3Vが印加されるが、そのソースつまりソース線S0~Snが選択的に接地電位VSS又は開放状態OPENとされることで、保持データに対応した読み出し電流を選択的に流す。

【0049】すなわち、選択セルユニット、つまり選択ワード線に結合され対応するメインビット線に1Vの読み出し電圧が印加されるk+1個のセルユニットに含まれ、対応するソース線に接地電位VSSが印加されるそれぞれ1個、合計k+1個の選択メモリセルMCは、そ

れが論理“0”のデータを保持することを条件に、つまりそのしきい値電圧が2.4Vを上限とする比較的小さな値とされることを条件に選択的にオン状態となり、比較的大きな読み出し電流を流す。この読み出し電流は、対応するサブビット線及びメインビット線を介してセンスアンプSAの対応するリードアンプに伝達され、これを受けてリードアンプは対応する選択メモリセルMCの保持データが論理“1”であることを判定する。

【0050】一方、k+1個の選択メモリセルMCのうち、論理“1”のデータを保持するメモリセルMCは、そのしきい値電圧が5Vを下限とする比較的大きな値とされることでオフ状態のままとされ、読み出し電流は流されない。また、選択セルユニットに含まれ対応するソース線が開放状態OPENとされる他の15×(k+1)個の非選択メモリセルMCでは、対応するソース線が開放状態OPENとされるため、それが論理“0”のデータを保持していたとしても読み出し電流は流されない。さらに、選択ワード線に結合される非選択セルユニットでは、対応するメインビット線が開放状態OPENとされることで読み出し電流は流されず、非選択ワード線に結合される他のすべてのセルユニットでは、そのユニット選択MOSFETNSがオフ状態とされ対応するサブビット線が開放状態OPENとされることで同様に読み出し電流は流されない。

【0051】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 2層ゲート構造型メモリセルが格子配列されてなるメモリアレイを基本構成要素としノア型アレイ構造をとるフラッシュメモリ等において、ユニット選択MOSFETと対応するセルユニットを構成する所定数のメモリセルのコントロールゲートを共通のワード線に結合し、各メモリセルのソースをそれぞれ個別のソース線に結合して、サブビット線を、対応するセルユニットのユニット選択MOSFETのソースならびにメモリセルのソースたる拡散層により形成することで、ポリシリコン層の所要層数を2層とし、フラッシュメモリ等の所要プロセス工程数を削減することができるという効果が得られる。

【0052】(2) 上記(1)項において、ユニット選択MOSFETのゲート酸化膜を、対応する所定数のメモリセルのコントロールゲート及びフローティングゲート間の層間絶縁膜と一体化して同一工程で形成することで、フラッシュメモリ等の所要プロセス工程数をさらに削減しつつ、メモリセルとユニット選択MOSFETのレイアウト境界からダミーセルをなくし、フラッシュメモリ等のチップサイズを縮小化することができるという効果が得られる。

(3) 上記(1)項及び(2)項において、ソース線を金属配線層により形成することで、比較的多数のメモリセルのソースが共通結合されるソース線の寄生抵抗を小

さくし、その伝達遅延時間を短縮できるという効果が得られる。

(4) 上記(1)項ないし(3)項により、フラッシュメモリ等の低コスト化を図り、その動作の高速化を図ることができるという効果が得られる。

【0053】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、メモリアレイMARYは、その直接周辺回路を含めて複数のメモリマットに分割することができるし、フラッシュメモリのブロック構成や起動制御信号の組み合わせならびに電源電圧の極性及び絶対値等も、種々の実施形態をとりうる。

【0054】図2において、セルユニットを構成するメモリセルMCの数は任意に設定できるし、セルユニット内におけるユニット選択MOSFETNSの配置位置も任意である。また、メモリアレイMARYは、所定数の冗長素子を含むことができるし、前述のように、その直接周辺回路を含めて複数のメモリマットに分割することができる。ユニット選択MOSFETNSのゲート酸化膜をメモリセルMCの層間絶縁膜と一体化して形成する必要がない場合、同一列に配置されるメモリセルMCをもってセルユニットを構成してもよい。

【0055】図3に示される2層ゲート構造型メモリセルMCの基本断面構造は、この実施例による制約を受けないし、図4に示されるしきい値電圧の分布特性についても同様である。図5ないし図7において、フラッシュメモリは、任意数のポリシリコン層及び金属配線層を備えることができるし、各配線層、拡散層ならびにコンタクト等の具体的な形状及びサイズならびにレイアウトも、この発明の主旨に影響を与えない。図4を含む関連図において、2層ゲート構造型メモリセルMCは、そのしきい値電圧が比較的大きな値とされるとき論理“0”のデータを保持し、そのしきい値電圧が比較的小きな値とされるとき論理“1”のデータを保持するものとしてよい。また、各論理値を保持するメモリセルMCのしきい値電圧の上限値及び下限値は、これらの実施例による制約を受けない。

【0056】図8において、書き込み動作時及び読み出し動作時における非選択ソース線のレベルは、選択メモリセルのドレイン電圧と同じ3V又は1Vとしてもよい。この場合、特に書き込み動作時、そのドレインに0Vの書き込み電圧を受ける選択メモリセルMCのソース・ドレイン間に3Vの逆バイアスが印加されるが、図3に示したように、メモリセルMCのソース及びドレインが非対称構造とされることで、3V程度の逆バイアス時はホットエレクトロンが発生せず、問題とならない。また、読み出し動作時は、選択メモリセルMCのソース及びドレインが同電位とされることで、メモリセルMCの

デブリートを気にする必要がなくなり、いわゆるデブリートフリーなフラッシュメモリを実現できる。各動作モード時における2層ゲート構造型メモリセルMCのコントロールゲート、ドレインならびにソースの具体的な電位は、種々の実施形態をとりうる。

【0057】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリに適用した場合について説明したが、それに限定されるものではなく、例えば、フラッシュメモリを含む各種の論理集積回路装置等にも適用できる。この発明は、少なくとも2層ゲート構造型メモリセルを記憶素子としノア型アレイ構造をとる半導体記憶装置ならびにこのような半導体記憶装置を含む装置又はシステムに広く適用することができる。

【0058】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、2層ゲート構造型メモリセルが格子配列されてなるメモリアレイを基本構成要素としノア型アレイ構造をとるフラッシュメモリ等において、ユニット選択MOSFETと対応するセルユニットを構成する所定数のメモリセルのコントロールゲートを共通のワード線に結合し、各メモリセルのソースをそれぞれ個別のソース線に結合して、サブビット線を、対応するセルユニットのユニット選択MOSFETのソースならびにメモリセルのソースたる拡散層によって形成し、ユニット選択MOSFETのゲート酸化膜を、対応する所定数のメモリセルのコントロールゲート及びフローティングゲート間の層間絶縁膜と一体化して形成するとともに、ソース線を金属配線層により形成することで、比較的少数のメモリセルのドレインが結合されるサブビット線を拡散層により形成して、その寄生抵抗による影響を受けることなくポリシリコン層の所要層数を2層とし、フラッシュメモリ等の所要プロセス工程数を削減することができるとともに、メモリセルとユニット選択MOSFETとのレイアウト境界からダミーセルをなくし、フラッシュメモリ等のチップサイズを縮小できる。また、ソース線を金属配線層により形成することで、比較的多数のメモリセルのソースが共通結合されるソース線の寄生抵抗を小さくし、その伝達遅延時間を小さくすることができる。この結果、ノア型アレイ構造をとるフラッシュメモリ等の低コスト化を図り、その動作の高速化を図ることができる。

【図面の簡単な説明】

【図1】この発明が適用されたフラッシュメモリの一実施例を示すブロック図である。

【図2】図1のフラッシュメモリに含まれるメモリアレイの一実施例を示す部分的な回路図である。

【図3】図2のメモリアレイを構成する2層ゲート構造型メモリセルの一実施例を示す基本断面構造図である。

【図4】図2のメモリアレイを構成する2層ゲート構造型メモリセルのしきい値電圧の一実施例を示す分布特性図である。

【図5】図2のメモリアレイの一実施例を示す部分的な平面配置図である。

【図6】図5のメモリアレイの一実施例を示すA-B断面構造図である。

【図7】図5のメモリアレイの一実施例を示すC-D断面構造図である。

【図8】図1のフラッシュメモリの一実施例を示す動作条件図である。

【図9】この発明に先立って本願発明者等が開発したフラッシュメモリに含まれるメモリアレイの一例を示す部分的な回路図である。

【図10】この発明に先立って本願発明者等が開発したフラッシュメモリに含まれるメモリアレイの他の一例を示す部分的な回路図である。

【図11】図10のメモリアレイの一実施例を示す部分的な断面構造図である。

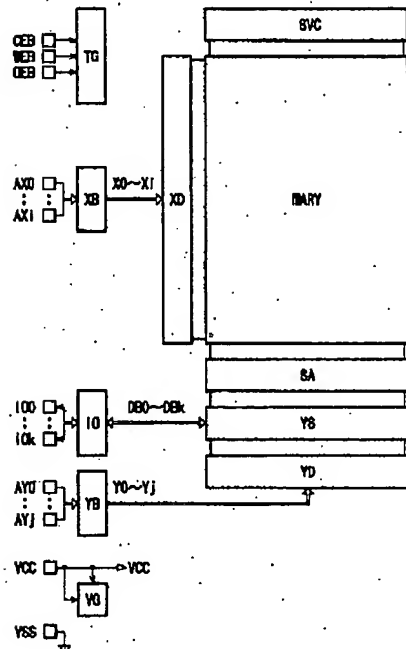
【符号の説明】

MARY……メモリアレイ、XD……Xアドレスデコーダ、XB……Xアドレスバッファ、SVC……ソース電圧制御回路、SA……センスアンプ、YS……Yスイッチ回路、YD……Yアドレスデコーダ、YB……Yアドレスバッファ、IO……データ入出力回路、TG……タ

イミング発生回路、VG……内部電圧発生回路、CEB……チップイネーブル信号又はその入力端子、WEB……ライトイネーブル信号又はその入力端子、OEB……出力イネーブル信号又はその入力端子、AX0～AXi……Xアドレス信号又はその入力端子、AY0～AYj……Yアドレス信号又はその入力端子、IO0～IOk……入出力データ又はその入出力端子、VCC……電源電圧又はその入力端子、VSS……接地電位又はその入力端子、X0～Xi……内部Xアドレス信号、Y0～Yj……内部Yアドレス信号、DB0～DBk……入出力データバス、W0～Wm……ワード線、SB01～SB0mないしSBp1～SBpm……サブビット線、MB0～MBp……メインビット線、S0～Sn……ソース線、MC……2層ゲート構造型メモリセル、NS……ユニット選択MOSFET、PSUB……P型半導体基板、N+……N型拡散層、FG……フローティングゲート、CG……コントロールゲート、OX1～OX3……トンネル絶縁膜、層間絶縁膜あるいはゲート酸化膜、CONT……コンタクト、M1……金属配線層、S……ソース、D……ドレイン、LOCOS……ロコス、B0～B5……ビット線、USW0～USW1……ユニット選択ワード線、SB00～SB01ないしSB50～SB51……サブビット線、CONT1～CONT3……コンタクト。

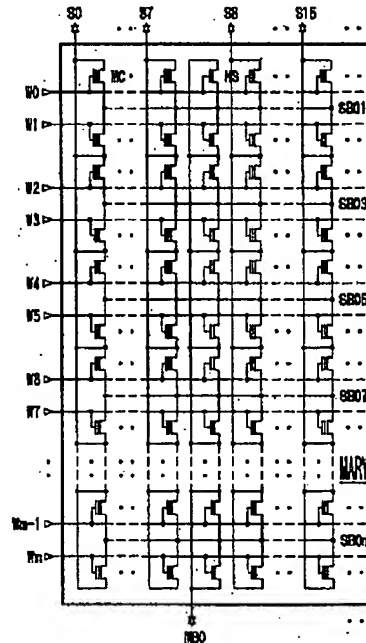
【図1】

図1 フラッシュメモリのブロック構成



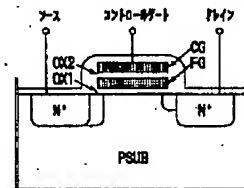
【図2】

図2 メモリアレイの部分回路構成



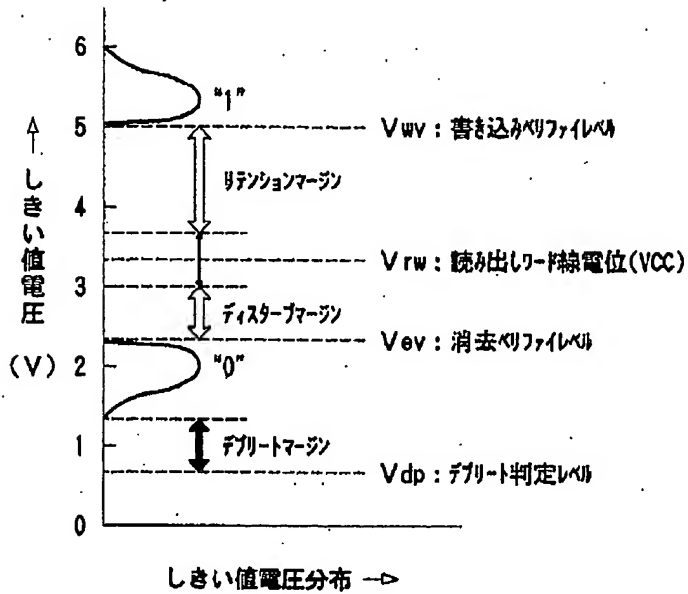
【図3】

図3 メモリセルの基本断面構造



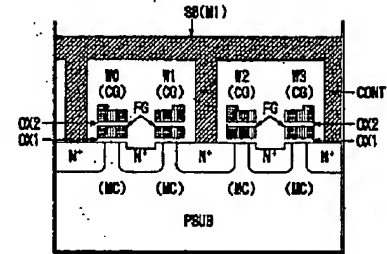
【図4】

図4 メモリセルのしきい値電圧分布特性



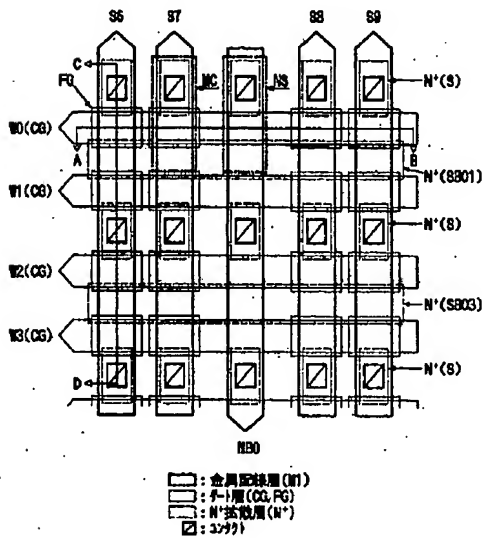
【図7】

図7 メモリアレイのC-D断面構造



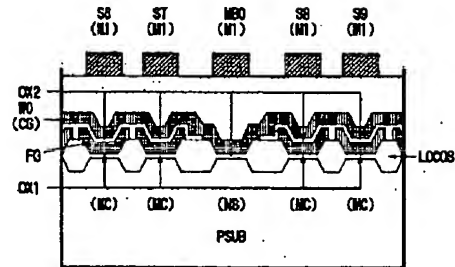
【図5】

図5 メモリアレイの横断面配置



【図6】

図6 メモリアレイのA-B断面構造



【図8】

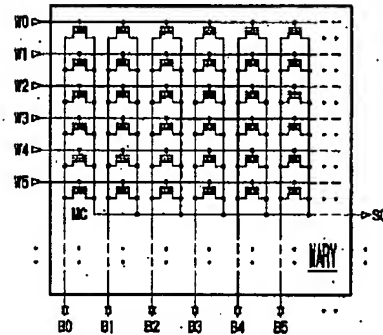
図8 フラッシュメモリの動作条件

	書き込み		消去		読み出し	
	選択	非選択	選択	非選択	選択	非選択
CS	10V	VSS	VSS	VSS	VCC	VSS
PLV	SVor0V	OPEN	OPEN	OPEN	1V	OPEN
Y-2	VSS	OPEN	10V	VSS	VSS	OPEN
高圧部	VSS	VSS	VSS	VSS	VSS	VSS

書き込み: V_{HL}→V_{HH}消去: V_{HH}→V_{HL}

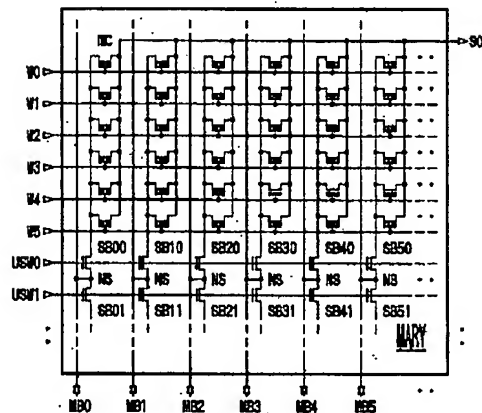
【図9】

図9 メモリアレイの部分回路構成



【図10】

図10 メモリアレイの部分回路構成



【図11】

図11 メモリアレイの部分回路構成

